

Contenido

1

Editorial

Técnicas de Diseño con Capacidad de Detección de Fallas para Circuitos Programables

Ing. Aquilino Cervantes Avila

3

9

**Estimación de Parámetros de Circuitos Impresos:
Un Estudio de Caso**

M. en I. Miguel Lindig Bos

**Optimización de Control Difuso Aplicando
Algoritmos Genéticos**

M. en C. Romeo Urbieto Parrazales

21

27

**La Lógica Difusa como Medio de Control
Optimizado en Sistemas de Disco Compacto**

M. en C. Miguel Angel Partida Tapia †

**Comparación de los Sistemas Convencionales de
Control y los Sistemas Difusos**

M. en C. Miguel Angel Partida Tapia †

32

Editorial

El presente número de POLIBITS es muy especial. Está dedicado a la memoria de nuestro amigo y compañero Miguel Angel Partida Tapia, a quien el destino decidió llevarse de nuestro lado justo cuando su vida se encontraba en plenitud.

Existen hombres que pasan por la vida sin dejar huella, pero la simiente que Miguel Angel plantó con su esfuerzo y dedicación quedará por siempre como ejemplo para todos los que lo conocimos, porque es bien sabido que nadie puede llegar a la cima armado solo con su talento, ya que Dios da el talento y son el trabajo y la voluntad quienes lo transforman.

Pero lo más brillante en Miguel no fueron únicamente sus logros como investigador ni tampoco todos sus méritos como académico, sino la amistad sincera que en todo momento ofreció a sus amigos y aún a quienes no lo fueron, con su apoyo constante y desinteresado, y la sonrisa y la broma fácil presentes aún en los momentos difíciles.

Sin embargo, más allá del dolor que nos produce su partida, este no es un adiós, porque su presencia a través del recuerdo nos acompañará siempre.

¡ Hasta Pronto, Miguel !

Técnicas de Diseño con Capacidad de Detección de Fallas para Circuitos Programables

Ing. Aquilino Cervantes Avila
Alumno de la Maestría del CINTEC-IPN.

En la implantación de diseños con base en circuitos programables surgen a menudo errores que son bastante difíciles de localizar. Lo anterior puede originarse por diferentes razones, desde escasa información del circuito por programar, hasta una gran complejidad del diseño. Sin embargo, uno de los peores casos reside en el momento en que se reúnen varios circuitos aparentemente ya probados, pero que en conjunto no funcionan. En la mayoría de tales casos el desconcierto del usuario es bastante. Si además la implantación se realizó en un solo circuito, no es posible localizar exactamente el lugar de la falla, y si aunado a lo anterior tenemos que la simulación del diseño se comporta en forma adecuada, entonces existe un grave problema que requerirá gran cantidad de tiempo para corregir el o los posibles errores.

El propósito de este trabajo es presentar alternativas de diseño para concebir circuitos con la máxima capacidad de detección de fallos, a tales técnicas se les conoce como PRUEBABILIDAD. En pocas palabras, las técnicas de probabilidad presentan una forma de diseño de completa desconfianza, teniendo como lema «Primero piensa mal de tu diseño y posteriormente piensa peor». De esta manera es posible detectar problemas clásicos en sis-

temas digitales como son las carreras críticas, los riesgos estáticos y dinámicos, la metaestabilidad, además de problemas de otro tipo inherentes al propio diseño en cuestión.

Los métodos presentados a continuación fueron estudiados pensando en Dispositivos Lógicos Programables (PLD's) y particularmente en dispositivos MAPL ("Multiple Array Programmable Logic", Arreglos Lógicos Programables Múltiples). Sin embargo, también es posible utilizarlos para circuitos programables tales como GATE ARRAY's y FPGA's.

Existen varias técnicas de prueba para circuitos LSI, cada una de las cuales posee sus propios métodos de generación y procesamiento de pruebas. No obstante, es posible dividir al conjunto de técnicas en dos grandes áreas a) Métodos concurrentes y b) Métodos explícitos.

Métodos concurrentes

El desarrollo de este método establece lógica redundante dentro del diseño para obtener diferentes puntos de prueba o de detección de errores. Se hace necesario definir algunos conceptos fundamentales para esta técnica, como son:

- Controlabilidad (CY).- Consiste en la habilidad de obtener un nivel alto o bajo en determinada

salida, a partir de las entradas primarias.

- Observabilidad (OY).- Consiste en la habilidad para determinar el estado de un nodo interno a partir de las entradas primarias.
- Trayectoria de error.- Es el camino por el cual un error puede ser propagado hasta las salidas.
- Trayectoria paralela.- Describe la existencia de un camino alternativo para propagar una entrada para la misma compuerta y lograr la propagación hacia la salida.
- Trayectoria crítica.- Se denomina de esta manera a la ruta lógica que se desea observar por su importancia dentro del diseño o por su susceptibilidad de errores.

El propósito de sumar lógica adicional al diseño principal es el obtener puntos de prueba para aumentar la detección de errores en el circuito. Debido a que las entradas y salidas se encuentran limitadas, es necesario agregar lógica de control, tal como decodificadores, multiplexores y registros de corrimiento para obtener de esta manera las características de controlabilidad y observabilidad necesarias.

Sin embargo, la selección de los puntos de prueba dependerá principalmente del tipo de diseño que se este ejecutando y de las consideraciones propias del diseñador.

Algunos de los nodos que pueden considerarse para agregar puntos de prueba son:

- A través de toda la trayectoria crítica (pueden existir varias en un mismo diseño).
- Señales de reloj y control.
- Puntos de unión de lógica que pueda propagar un error, tales como contadores, sumadores, registros de corrimiento, codificadores/decodificadores, etc.

NOTA: El uso de las técnicas de pruebabilidad por estos métodos puede llegar a tal fascinación que un proyecto se torne muy complejo por la cantidad de elementos de redundancia que se agregaron al diseño, por tanto se recomienda ser moderado en la aplicación del método.

De forma general, la controlabilidad y observabilidad que posean los nodos internos del diseño influirá en forma directa en las consideraciones a tomar para generar y aplicar vectores de prueba. Para demostrar el uso del método expuesto considere la **figura 1**.

De esta figura, es posible observar que se aumentan 2 multiplexores (M) para poder tener entradas directas al bloque B; es decir, se aumenta la controlabilidad en este punto. Por otra parte también se agregan 2 demultiplexores (D) para poder observar las salidas del bloque B; en otras palabras, se incrementa la observabilidad de esenodo.

De esta manera es posible indicar que el circuito representado por la **figura 1b** representa un diseño orientado a pruebabilidad, en el cual es más fácil identificar un error (para este caso se detectaría en que bloque se localiza el error).

Dependerá del tipo de diseño las consideraciones a tomar para aumentar la controlabilidad y observa-

bilidad del circuito propuesto; es decir, para prueba de circuitos secuenciales podría ser útil emplear uno o más circuitos de retención para garantizar que las entradas o salidas del circuito sean fijas. Pero también podría ser deseable para un determinado circuito, utilizar flip-flops como control y obtener de esta manera un diseño que trabaje por flancos y no por nivel (como trabaja regularmente un circuito combinatorio).

El propio diseñador es quien puede ofrecer las mejores heurísticas para decidir que tipo de elementos deberá colocar para lograr un diseño orientado a pruebabilidad por el método concurrente, ya que nadie mejor que el mismo sabrá los posibles puntos de falla en su diseño (teniendo en mente el lema de las técnicas de pruebabilidad).

Antes de continuar con el siguiente método, es conveniente decir que en el caso de que un diseño requiera de sincronización de tiempos, el método concurrente podría arrojar bastantes errores los cuales podrían ser dados por los retardos obtenidos por la lógica redundante. De esta forma, el circuito podría demostrar que funciona al realizar las pruebas particulares de los bloques internos del diseño y sin embargo fallar en el momento de trabajar todos como un solo proyecto. De esta manera, también se hace necesario trabajar de tal forma que toda o la mayor parte de la lógica asociada sea desechada en el producto final.

Métodos Explícitos

Todos los métodos explícitos separan el proceso de prueba del de operación normal. En general, los métodos cuentan con tres pasos.

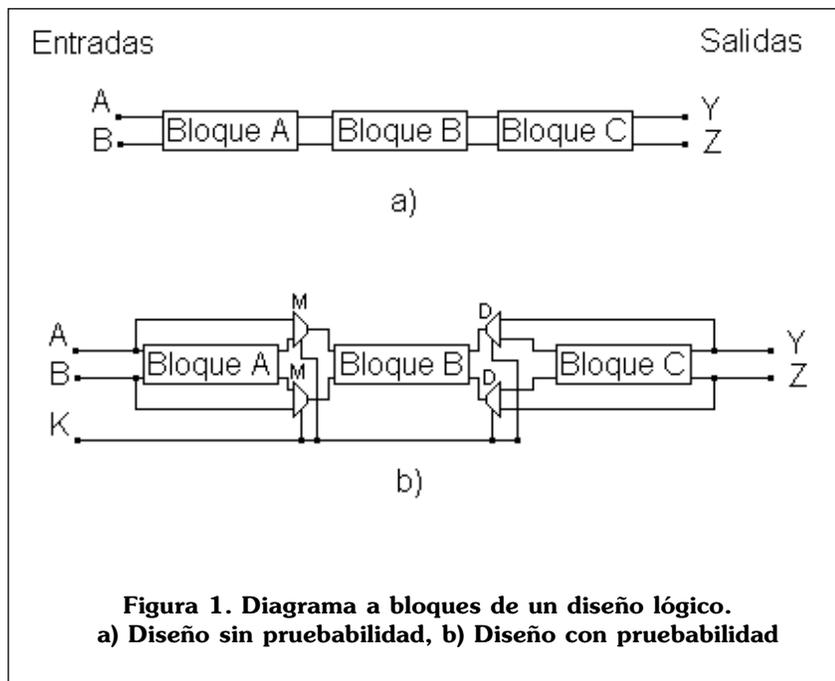


Figura 1. Diagrama a bloques de un diseño lógico.
a) Diseño sin pruebabilidad, b) Diseño con pruebabilidad

1.- Generación de Patrones de Prueba.

El objetivo de este paso es el de generar patrones de entrada al sistema para que pueda detectarse cualquier error, bajo diferentes modos de operación. Este proceso es el paso más importante de un método explícito y puede obtenerse por medio de cuatro técnicas

1.1 Generación Manual.

El diseñador debe hacer un análisis cuidadoso del diseño para establecer los patrones que puedan excitar o producir un error de la lista de errores considerados como posibles.

Este método es ampliamente utilizado para diseño de circuitos pequeños y tal vez algunos medianos; sin embargo, el proceso para optimizar la longitud de los patrones de prueba requiere una gran cantidad de trabajo y habilidades especiales en el área.

1.2 Generación Algorítmica

Existe una serie de algoritmos de uso específico que permiten desarrollar los patrones de prueba necesarios para localizar una gran cantidad de errores, tales como las técnicas de Thatte - Abraham y Abadir - Reghbat. La primera describe la manera de generar patrones para microprocesadores y se basa en el desarrollo de operaciones o instrucciones y seguimiento del diagrama de estados correspondiente al microprocesador bajo prueba. Por otra parte, el segundo algoritmo se basa en una división del sistema total y en el seguimiento de rutas críticas a través de un diagrama de estados; de esta manera se localizan las posibles combinaciones de prueba que puedan arrojar un error.

1.3 Generación Aleatoria.

Este es el método más sencillo de obtener y consiste en generar patrones de entrada al circuito (de forma aleatoria) y comprobar su comportamiento bajo las muestras indicadas.

1.4 Generación por Simulación.

Para este método se utilizan algunas de las técnicas anteriores para desarrollar los patrones de prueba y además una herramienta CAE para realizar una simulación del desenvolvimiento del diseño con las entradas propuestas. Para lograr una simulación por lo menos deben conocerse los siguientes factores:

- Descripción de diseño de compuertas escrito en algún lenguaje especial.
- Condiciones iniciales de elementos de memoria.
- Una lista de los posibles errores.

Antes de continuar con el segundo punto del método explícito se darán algunas consideraciones en base a las dos primeras técnicas, para desarrollar patrones de prueba, recordando que la experiencia y el conocimiento de determinado proyecto darán las mejores heurísticas para el desarrollo de tales patrones.

a) Obtención reducida de patrones de entrada.

Por lo regular se recurre a dividir un diseño específico de tal manera

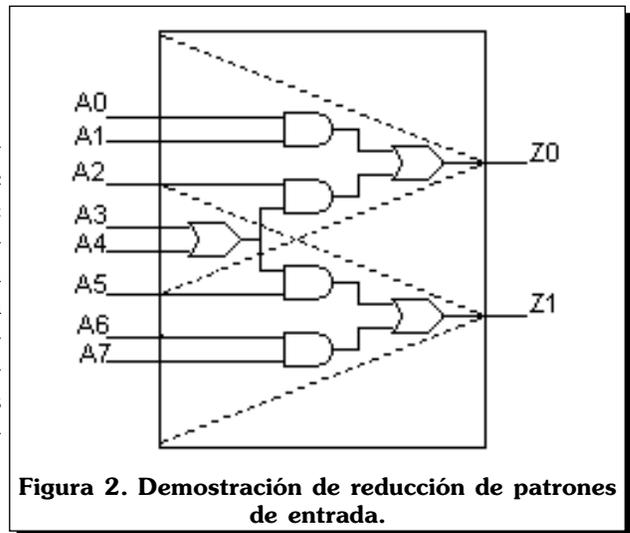


Figura 2. Demostración de reducción de patrones de entrada.

que se reduzca el número de vectores que requiere un proyecto. Para la figura 2, si se toma el proyecto como una caja negra, debido a que posee 8 entradas se requerirán entonces $2^8 = 256$ vectores de prueba; no obstante, tomando en cuenta el interior del cuadro, es posible observar que se puede realizar una división de la manera mostrada, para la cual se tomarán $2^5 = 32$ vectores para el circuito superior y exactamente los mismos para el circuito de abajo, dando un total de 64 vectores en lugar de 256.

b) Algoritmo-D.

El algoritmo-D emplea la técnica de seguimiento de trayectorias críticas. El procedimiento que sigue el algoritmo se basa en lo siguiente: Considera A como la entrada capaz de propagar un error ϵ en la salida Z; si la entrada A en 1(0) tiene como respuesta ideal $Z=0$, en ese caso es condición suficiente $Z=1$ para considerar un error a través de esa trayectoria.

De esta manera, tenemos como antecedente los siguientes puntos :

- **Excitación.**- Los patrones de entrada deben ser especi-

ficados tomando en cuenta cual es el valor de salida para cada uno de ellos.

- **Propagación de error**.- Se requiere que las posibles trayectorias de error posean un camino hacia un punto que pueda ser observado (La observación puede ser directa o indirecta).
- **Justificación de línea**.- Los patrones de entrada deben recorrer o forzar un camino a través de las trayectorias del paso anterior, considerando todas las señales asociadas a ese camino.

Para facilitar el proceso de seguimiento de errores, se definirá la siguiente nomenclatura

D.- Representa una señal que tiene un valor 1 para un circuito sin error y 0 en caso contrario.

E.- Caja negra que contiene un circuito específico.

Bloque_D.- Especifica las entradas mínimas que deben ser aplicadas al elemento E para producir una señal de error D en las salidas de E.

Propagación_D.- Especifica las condiciones mínimas que son requeridas para lograr la propagación de errores a través de E o bloques E, hasta la salida.

Con este antecedente, el algoritmo posee la siguiente rutina:

1.- Excitación de fallos.- Se elige el Bloque_D apropiado y se obtienen las señales D del primer elemento E.

2.- Implicación.- En el paso 1, se elige un elemento E que puede o no tener retroalimentaciones internas o externas. Las implicaciones se dan considerando los diferentes valores que puede tomar una señal no conocida (porque pertenece a otro elemento E) y con esto localizar el valor de D.

3.- Propagación.- Todos los elementos en el circuito que no poseen salidas al exterior, y que tienen una señal D, son colocados en un lista llamada Limite_D. Cada elemento de Limite_D se asigna para que propague sus entradas hacia su salida; si esta frontera brinda resultados (que las salidas sean observadas) termina, en caso contrario se crea un nuevo elemento E estableciendo un nuevo límite.

4.- Implicación de propagación_D.- Se aplica la implicación para el elemento E localizado en el punto anterior.

5.- Se repiten los pasos 3 y 5 hasta que los errores hayan sido propagados hasta las salidas.

6.- Justificación de línea.- La ejecución de los pasos 1 a 5 puede resultar en especificar las salidas de un elemento E sin considerar algunas entradas no especificadas. Para corregir este error debe realizarse una unión de bloques E para someter a consideración las salidas en conflicto.

7.- Implicación de justificación de línea.- Se lleva a cabo cualquier implicación del bloque generado en el paso anterior.

8.- Se repiten los pasos 6 y 7 hasta que todas las salidas en todos los elementos sean completamente justificadas.

Es posible observar en el propio algoritmo que todas las combinaciones que puedan llevar a un error serán consideradas por él.

2.- Aplicación de Patrones de Prueba al Circuito.

Se pueden tomar dos consideraciones diferentes para el desarrollo de esta etapa.

2.1 Aplicación Externa

Esta etapa necesita el uso de equipo especial para inyectar los patrones de entrada en el circuito (tales como analizadores lógicos, generadores de señales, etc.).

2.2 Aplicación Interna

Se considera un sistema interno que aplique una serie de patrones establecidos, de tal manera que el propio circuito pueda probarse (Autocomprobación).

Lógicamente la primer opción brinda como ventajas el mejor control sobre el proceso de prueba, además de brindar todo el espacio del ASIC (Circuito integrado de aplicación específica) únicamente para el diseño.

3.- Evaluación de las Respuestas del Circuito

Consiste en la identificación, a través de las respuestas de salida, de los bloques internos, trayectorias, etc.. en los cuales se detectó uno o más errores. Se tienen también dos maneras de implantar esta etapa:

3.1 Generación de Respuestas Extensivas

Desarrolla una estrategia en la cual se tienen las respuestas correctas que arroja el diseño y se compa-

ran con las que va encontrando el sistema al recibir los patrones de entrada al circuito. La forma de comparación lleva nuevamente a dos procedimientos diferentes: en el primero se almacena de forma previa el conjunto de respuestas del sistema (posiblemente en una PROM) y se efectúa la comparación. Por otra parte, el segundo método establece un diseño (que podría ser el del propio simulador) y efectúa la comparación de los valores obtenidos en el circuito ideal contra los que son generados al mismo tiempo en el circuito real (la diferencia se establece básicamente si la comparación se hace contra una serie de datos ya almacenados o contra un dato que es generado al momento).

3.2 Generación de Respuestas Compactas

El objetivo de esta técnica es reducir el espacio de almacenamiento requerido para establecer la comparación del modelo ideal contra el real; de esta manera se establecen dos técnicas para lograrlo.

La primera técnica es conocida como «Conteo de transiciones», y consiste en contar el número de transiciones lógicas de 1 a 0 o viceversa, para saber el número de cuenta necesario para comparar contra los resultados del sistema real. Para hacer más clara esta técnica, considere un multiplexor de 4

S0	S1	A	B	C	D	Z
0	0	1	X	X	X	1
0	0	0	X	X	X	0
0	1	X	1	X	X	1
0	1	X	0	X	X	0
1	0	X	X	1	X	1
1	0	X	X	0	X	0
1	1	X	X	X	1	1
1	1	X	X	X	0	0

Tabla 1. Tabla de transiciones de un multiplexor 4 a 1.

a 1, con su tabla de verdad en la figura 3.

Debido a que la salida Z puede cambiar entre 0 y 1 de acuerdo a la señal que sea elegida por S0, se tiene la tabla 1.

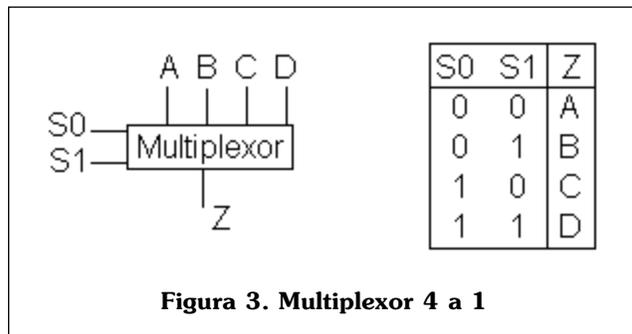


Figura 3. Multiplexor 4 a 1

ca es conocida como «análisis de retroalimentaciones» y consiste básicamente en un análisis repetitivo de las salidas con respecto a las mismas entradas. Cada salida obtenida de una combinación de entradas particular se somete a un registro de corrimiento, en donde algunas de las salidas de los flip-flops de ese registro son retroalimentadas a la entrada del mismo.

La información de las salidas se maneja en formato serial y se suministra al registro de corrimiento. El número de bits que debe poseer el registro de corrimiento es igual al número total de salidas que posee el circuito. En pocas palabras, el registro de corrimiento se utiliza básicamente para comprobar que las sali-

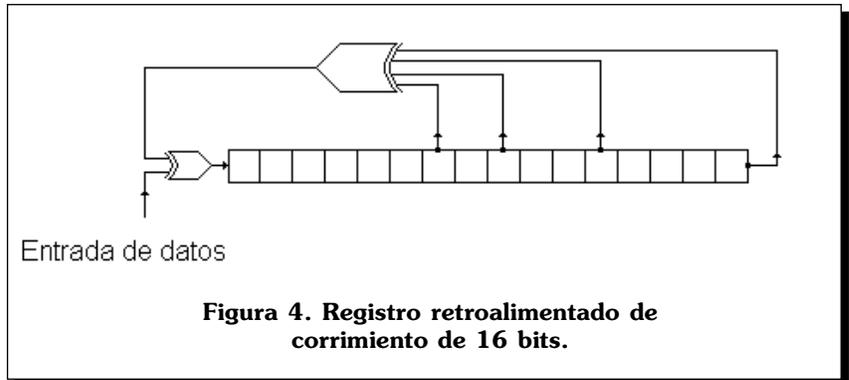


Figura 4. Registro retroalimentado de corrimiento de 16 bits.

En la tabla es posible verificar que Z sufre 7 transiciones considerando el patrón establecido; así, el método tomaría como patrón de entrada al circuito real las entradas para esta tabla (incluyendo señales de control) exactamente en ese orden;

si el número de transiciones obtenidas por el circuito es diferente de 7 en ese caso el módulo específico posee uno o varios errores.

Por otra parte, la segunda técni-

das del circuito anterior (que al inicio podrían ser las del modelo ideal), sean exactamente iguales a las del presente; es posible decir que lo que hace este circuito es una especie de verificación de paridad.

Conclusiones

Las técnicas de probabilidad brindan una mayor seguridad en el diseño con base en circuitos programables. De forma general, tales técnicas de diseño permiten mantener un mayor grado de seguridad y confiabilidad en los mismos, puesto que garantizan la detección de un gran número de errores, que de otra forma únicamente serán detectados cuando los diseños se encontraran desarrollando su trabajo. El uso de tales técnicas se justifica principalmente en los casos en que se requiera un prototipo de diseño para producciones en masa; de esta forma se estaría completamente seguro del producto.

Bibliografía

- [1] "Programable Logic Devices Databook and Design Guide". National Semiconductor 1993.
- [2] Aquilino Cervantes A. "Programación de Dispositivos Programables Lógicos", Proyecto de Tesis para Ingeniero en Comunicaciones y Electrónica. Julio 1995.
- [3] Di Giacomo. "Designing With High Performance ASIC's". Prentice Hall 1991.
- [4] David Pellerin/Michael Holley. "Practical Design Using Programable Logic". Prentice Hall 1991.

Estimación de Parámetros de Circuitos Impresos: Un Estudio de Caso

M. en I. Miguel Lindig Bos
 Director del CINTEC-IPN.

Los circuitos digitales modernos operan a frecuencias en exceso de 20 MHz y, salvo aplicaciones relativamente sencillas, requieren circuitos impresos multicapa para su realización física. Es comúnmente aceptado que el circuito impreso es una componente importante de un sistema dado y que afecta tanto el comportamiento de éste, como a su reproducibilidad industrial y a la confiabilidad del producto. No deja de sorprender, por lo tanto, la relativamente poca información disponible para poder estimar la influencia que el circuito impreso tendrá sobre el comportamiento de un diseño determinado. Por otra parte, si bien existen paquetes de simulación poderosos, su costo resulta prohibitivo para la mayoría de las organizaciones tanto educativas, como industriales, de nuestro país.

En general, el estudio de líneas de transmisión involucra el análisis de las reflexiones generadas por desacoplamientos entre las impedancias de la fuente, de la línea y de carga. En un circuito impreso, en el cual una misma fuente puede alimentar a más de una carga, un estudio de esta naturaleza, basado en medios de cálculo manuales, resulta prácticamente imposible por la cantidad de trabajo involucrado.

En el presente artículo se expone un breve resumen de la teoría en que se fundamenta el estudio de líneas de comunicación, y se presentan las expresiones que serán utilizadas para el análisis de un circuito impreso de cierto nivel de complejidad. El análisis está basado en condiciones de estado estacionario, y supone que el dispositivo emisor (fuente) se comporta aproximadamente como una fuente de corriente constante, con respuesta a la frecuencia uniforme sobre el rango de frecuencias de operación. El estudio se presenta para dos conjuntos de medidas físicas de los conductores del circuito, y se concluye que solamente una de las opciones utilizadas en el análisis resulta aceptable para los objetivos de diseño. Finalmente, la calidad de las señales presentes en los dispositivos receptores es estimada, con base en la expansión en serie de Fourier de una señal periódica de tipo trapezoidal.

Como se dijo arriba, el análisis está basado en una serie de suposiciones que requieren verificación, o modificación en su caso, de tipo experimental, en virtud de que la información publicada para los dispositivos utilizados es insuficiente para poder efectuar un estudio concluyente. Por otra parte, los parámetros del circuito impreso pueden ser estimados solamente en forma aproximada. El estudio experimental se efectuará una vez fabricado el circuito, y será objeto de un segundo reporte técnico.

Fundamentación Teórica

A frecuencias superiores a los 10 MHz, el circuito impreso debe ser tratado como el soporte estructural de un conjunto de líneas de transmisión, con parámetros (uniformemente distribuidos) que dependen de los materiales empleados en su fabricación. Por otra par-

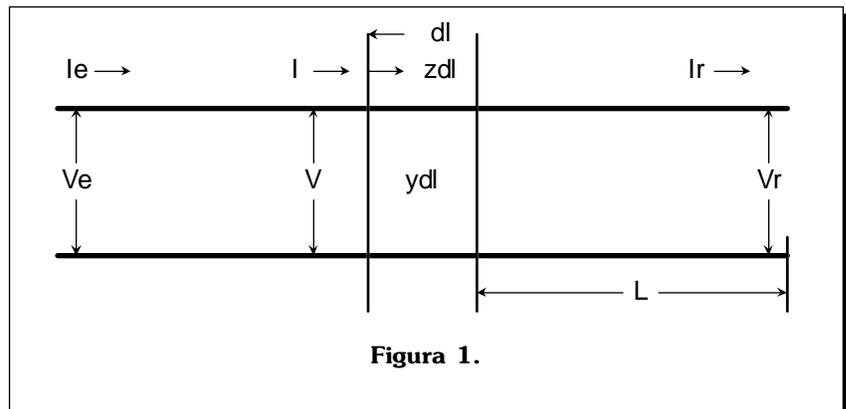


Figura 1.

te, la geometría de los distintos conductores y planos de tierra y alimentación influye, también, en las características eléctricas de estas líneas de transmisión. Considérese la **figura 1**.

Una línea conformada por dos conductores une a un emisor y un receptor, caracterizados por sus respectivas tensiones y corrientes V_e, I_e y V_r, I_r . La línea es caracterizada por una impedancia serie, y una admitancia paralela, ambas expresadas por unidad de longitud. En estas condiciones, la caída de tensión a lo largo de un elemento diferencial de longitud dl de la línea está dada por **[1]**:

$$dV = I_z dl$$

Y, similarmente, la corriente en este elemento decrece por una cantidad:

$$dI = V_y dl$$

La solución de las expresiones anteriores conduce a las ecuaciones generales de la línea de transmisión:

$$V = V_r \cosh \sqrt{zy} L + I_r \sqrt{z/y} \sinh \sqrt{zy} L$$

$$I = I_r \cosh \sqrt{zy} L + V_r \sqrt{y/z} \sinh \sqrt{zy} L$$

donde la distancia L es medida desde el extremo receptor de la línea. Expresiones similares pueden ser obtenidas en términos del extremo emisor.

La cantidad $\sqrt{z/y}$ se conoce como la impedancia característica, Z_0 , de la línea. Por otra parte, la cantidad \sqrt{zy} constituye la constante de propagación γ (por unidad de longitud) de la misma. A partir de las expresiones anteriores, es posible obtener una expresión para la impedancia de entrada de la línea, en función de la impedancia del receptor:

$$Z_e = Z_0 \left[\frac{Z_r \cosh \gamma L + Z_0 \sinh \gamma L}{Z_0 \cosh \gamma L + Z_r \sinh \gamma L} \right] \quad \mathbf{1}$$

Finalmente, las tensiones en los extremos emisor y receptor de la línea pueden relacionarse como sigue:

$$V_r = V_e \left[\frac{Z_r}{Z_r \cosh \gamma L + Z_0 \sinh \gamma L} \right] \quad \mathbf{2}$$

Parámetros de la Línea

La impedancia serie de una línea de transmisión está conformada por la resistencia óhmica y por la inductancia serie de los conductores que la conforman. Por otra parte, la admitancia paralela posee una componente resistiva y una capacitiva, cuyos valores dependen, entre otros factores, del material que separa a los conductores. Para el caso de circuitos impresos, y para frecuencias de operación inferiores a las de las microondas, se acepta generalmente que las componentes resistivas son despreciables. Por una parte, y aún considerando efectos de superficie, el valor de la resistencia serie de un conductor típico es de unos cuantos ohms por metro lineal. Por otra, y para los materiales más frecuentemente usados (papel fenólico, epoxy-fibra de vidrio etc.), la conductividad es menor a 10^{-12} mhos. En consecuencia, el circuito impreso puede ser modelado como una línea de transmisión sin pérdidas hasta frecuencias cercanas a 1 GHz. La impedancia serie, y la admitancia paralela toman, respectivamente, la siguiente forma:

$$z = j\omega L, \quad y = j\omega C$$

La impedancia característica se reduce a:

$$Z_0 = \sqrt{L/C} \quad \mathbf{3}$$

y para la constante de propagación se obtiene

$$\gamma = j\omega \sqrt{LC} \quad \mathbf{4}$$

Nótese que, en general, γ es un complejo de la forma $\alpha + j\beta$, cuya parte real determina la atenuación, por unidad de longitud, que sufre la señal al viajar por la línea de transmisión. La componente imaginaria es una medida del desfase introducido por la línea, expresado en radianes por unidad de longitud. Al despreciar las componentes resistivas de la línea, la atenuación se reduce a cero. De la parte imaginaria puede obtenerse la velocidad de propagación:

$$v\beta = 2\pi f = \omega,$$

$$\text{de donde } v = 1/\sqrt{LC} \quad \mathbf{5}$$

La determinación de la inductancia y capacidad asociadas a un conductor determinado del circuito impreso se complica por los siguientes factores:

- 1.- La geometría del conductor.
- 2.- La ubicación del conductor con relación a plano(s) de tierra.
- 3.- La ubicación del conductor con relación a otros conductores.

El parámetro más significativo para la determinación, tanto de la impedancia característica como de la velocidad de propagación es, sin duda, la constante dieléctrica del material aislante utilizado en la fabricación del circuito impreso. De la expresión para la velocidad de propagación se desprende que ésta disminuye conforme C aumenta, esto es, para una geometría de conductores dada, conforme la constante dieléctrica aumenta. Así, para el caso de epoxy - fibra de vidrio, un material cuya constante dieléctrica

relativa es de 4.7, la velocidad de propagación puede disminuir a menos de la mitad de la velocidad de la luz (a menos de 140 mm/ns).

Geometría de los Conductores

En un circuito multicapa, los conductores se ubican generalmente en planos, separados entre sí por planos de tierra (o de alimentación). La sección transversal de un conductor tiende a ser aproximadamente rectangular, aunque, y de acuerdo al proceso de fabricación, puede tender a trapezoidal y poseer cantos más o menos redondeados. Se pueden distinguir dos configuraciones importantes:

1.- Conductores ubicados en la superficie del circuito impreso (cara de componentes o cara de soldadura), separados de capas interiores por un plano de tierra. Esta configuración se conoce como microtira (*microstrip*), **figura 2**.

En el cálculo de la capacidad asociada a esta configuración intervienen dos constantes dieléctricas. Por una parte, la correspondiente al material aislante del circuito impreso y, por otra, la correspondiente al medio en el cual está inmerso el conductor. Así, si el conductor está cubierto por una pintura protectora (una mascarilla antisoldante, por

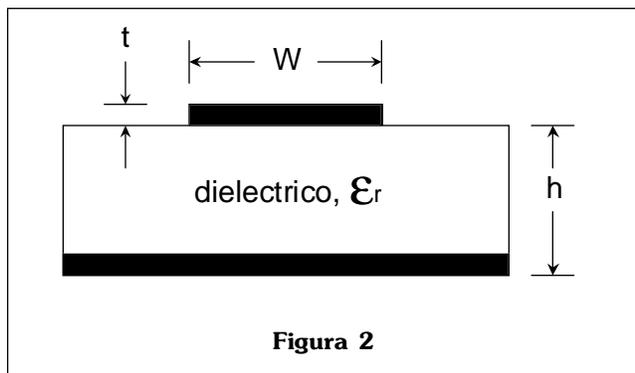


Figura 2

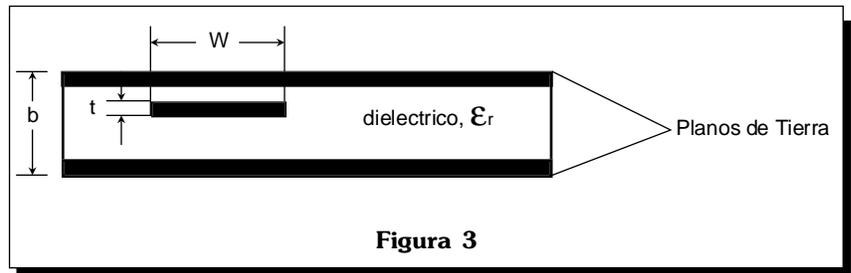


Figura 3

ejemplo), la constante dieléctrica efectiva es resultante, también, del grosor de esta capa y de sus características eléctricas. La impedancia característica aproximada puede calcularse a partir de la siguiente expresión **[2]**:

$$Z_0 = \frac{87}{\sqrt{\epsilon_{ef} + 1.41}} \ln \left(\frac{5.98h}{0.8W + t} \right) \quad \mathbf{6}$$

En (6), las dimensiones h, W y t deben ser expresadas en unidades consistentes. Si el conductor está inmerso en aire, la constante dieléctrica efectiva, ϵ_{ef} , puede ser estimada a partir de ϵ_r , la constante dieléctrica (relativa) del material aislante del circuito impreso **[3]**:

$$\epsilon_{ef} = [(\epsilon_r + 1) + (\epsilon_r - 1)(1 + 10h/W)^{-1/2}]/2 \quad \mathbf{7}$$

2.- Conductores ubicados entre dos planos de tierra. Esta configuración se conoce en la literatura de habla inglesa como «*stripline*». En comparación con la configuración anterior, la impedancia característica de la línea es menor, al igual que la velocidad de propagación, por la mayor capacidad asociada a los dos planos de tierra, **figura 3**.

Para esta configuración, la impedancia característica está dada por **[2]**:

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{4b}{0.67\pi W(0.8 + t/W)} \right) \quad \mathbf{8}$$

La expresión anterior se cumple si $W(b-t) < 0.35$ y si $t/b < 0.25$

De acuerdo con la referencia **[3]**, la impedancia característica, la velocidad de propagación y la longitud de onda de una señal en un circuito impreso pueden relacionarse con los correspondientes valores en el vacío a través de la constante dieléctrica efectiva asociada a la línea. En particular:

$$v = c / \sqrt{\epsilon_{ef}} \quad \mathbf{9}$$

donde c es la velocidad de la luz en vacío.

En general, un circuito impreso multicapa podrá incluir conductores en cualquiera de las configuraciones anteriores, o en ambas. Adicionalmente, la existencia de perforaciones metalizadas para interconectar diferentes capas de conductores, o para dar cabida a dispositivos con terminales de inserción, complica el análisis. Sin embargo, es posible obtener una idea aproximada de los efectos del circuito impreso sobre las impedancias de entrada y de salida de las componentes asociadas al circuito, así como de la magnitud de sobretiros en las señales, a partir de un análisis de estado estacionario, como se ilustra en el siguiente ejemplo.

Ejemplo de Diseño

1.- Descripción del Circuito

El circuito que se analiza a continuación es una red de conmutación tipo *crossbar* para un multiprocesador de 8 procesadores. La tecnología de los dispositivos utilizados es CMOS, con empaque de montaje de superficie y encapsulamiento de plástico (arreglo de compuertas programables, dispositivo TPC 1280A de Texas Instruments) [4]. El diseño requiere 32 dispositivos de 160 terminales, que miden aproximadamente 32 mm por lado. Se estimó que el circuito impreso mediría por el orden de 45 x 35 cm, y que se requerirían cinco capas, incluyendo una capa de tierra y una de alimentación.

Desde el punto de vista de distribución de señales, la vía más crítica está constituida por la interface entre un procesador anfitrión, y los ocho procesadores que conforman el multiprocesador propiamente dicho. Un dispositivo establece la comunicación entre el bus de expansión del procesador anfitrión, con otros 8 dispositivos, ubicados a distancias cada vez mayores, correspondientes a los respectivos procesadores del esquema de multiprocesamiento. Lo que se desea conocer es la magnitud del retardo introducido por el esquema de interconexión. Concretamente, la pregunta es si se puede operar la interface a la velo-

cidad del bus de expansión de la máquina anfitriona. Por otra parte, se desea saber si el circuito impreso conserva una calidad aceptable de las señales, esto es, que no se generen sobretiros que comprometan la detección confiable de transiciones lógicas o, inclusive, la integridad física de las componentes.

Para el subsecuente análisis se supone una frecuencia de operación de la interface de 25 MHz. Por otra parte, la capacidad de corriente de salida sostenida del dispositivo de interface es de 25mA. La capacidad parasítica asociada a cada terminal de los dispositivos utilizados es de 5pfd. En virtud de que la tecnología utilizada es CMOS, se considera una impedancia de entrada de los dispositivos puramente capacitiva.

En lo subsecuente se utilizará el término «mils» para designar milésimas de pulgada. Para una primera versión del circuito impreso se utilizaron reglas de diseño de 25 mils, con pistas de 11 mils de ancho y 1.4 mils de grosor. Las diferentes capas del circuito están ubicadas como se muestra en la **figura 4**.

Para un circuito impreso de 1/16" de grosor, esto es, de 62.5 mils, y con capas de cobre de 1.4 mils, la separación entre capas es de aproximadamente 14 mils. Así, la cara de componentes está separada del plano de tierra por 29.4 mils, con una constante dieléctrica efectiva dada por la expresión (7).

La separación entre el plano de conductores y el de tierra es de 14 mils, con una constante dieléctrica efectiva aproximadamente igual a la del material del circuito impreso. Lo anterior obedece a que el plano de conductores está totalmente inmerso en dicho material, a diferencia de las caras de componentes y de soldadura que están inmersas en aire. Finalmente, la cara de soldadura está separada del plano de alimentación por 14 mils, con una constante dieléctrica efectiva dada por la expresión (7).

En el diseño del circuito se buscó evitar que conductores paralelos ubicados en la cara de componentes y en el plano de conductores se encontraran ubicados uno encima del otro, esto es, se trató mantener un desplazamiento horizontal como el que se indica en la figura. Por otra parte, se limitó la longitud de los conductores de la cara de componentes al mínimo, con objeto de reducir acoplamientos capacitivos con el plano de conductores.

2.- Cálculo de la Primera Versión

Para todos los cálculos se asume un valor de 4.7 para la constante dieléctrica relativa del material aislante del circuito (epoxy-fibra de vidrio). Para las dimensiones dadas arriba:

2.1 Cara de componentes.

2.1.1 Constante dieléctrica efectiva.

Aplicando la ecuación (7), se tiene:

$$\begin{aligned} \epsilon_{ef} &= [(\epsilon_r + 1) + (\epsilon_r - 1)(1 + 10h/W)^{-1/2}]/2 \\ &= [(4.7 + 1) + (4.7 - 1)(1 + 10 \times 29.4/11)^{-1/2}]/2 \\ &= 3.202 \end{aligned}$$

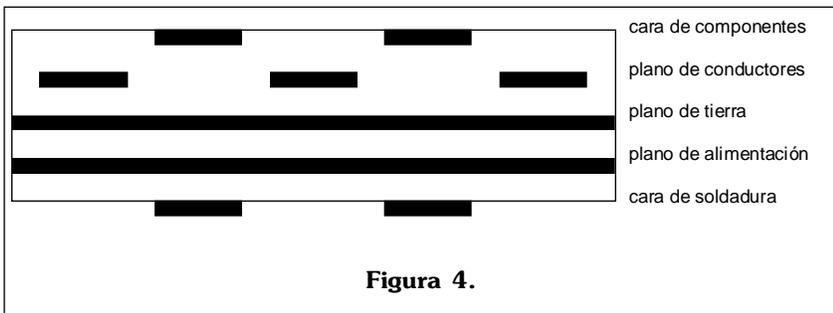


Figura 4.

2.1.2 Velocidad de Propagación.

Aplicando (9), resulta:

$$v = c/\sqrt{\epsilon_{ef}} = 300/\sqrt{3.202} = 167.7 \text{ mm/ns} \\ = 167.7 \times 10^6 \text{ m/s.}$$

2.1.3 Impedancia Característica.

De acuerdo con (6):

$$Z_0 = \frac{87}{\sqrt{\epsilon_{ef} + 1.41}} \ln \left(\frac{5.98h}{0.8W + t} \right) \\ = \frac{87}{\sqrt{3.202 + 1.41}} \ln \left(\frac{5.98 \times 29.4}{0.8 \times 11 + 1.4} \right) \\ = 115.34 \Omega$$

2.2 Plano de Conductores.

2.2.1 Constante Dieléctrica Efectiva:

Se tomará el valor de 4.7, dado que los conductores están inmersos en el material aislante.

2.2.2 Velocidad de Propagación.

Aplicando (9), con $\epsilon_r = 4.7$, resulta para $v = 138.4 \text{ mm/ns}$, esto es, $v = 138.4 \times 10^6 \text{ m/s}$.

2.2.3 Impedancia Característica.

Aplicando (6), con $h=14$, se obtiene $Z_0 = 74.1 \Omega$.

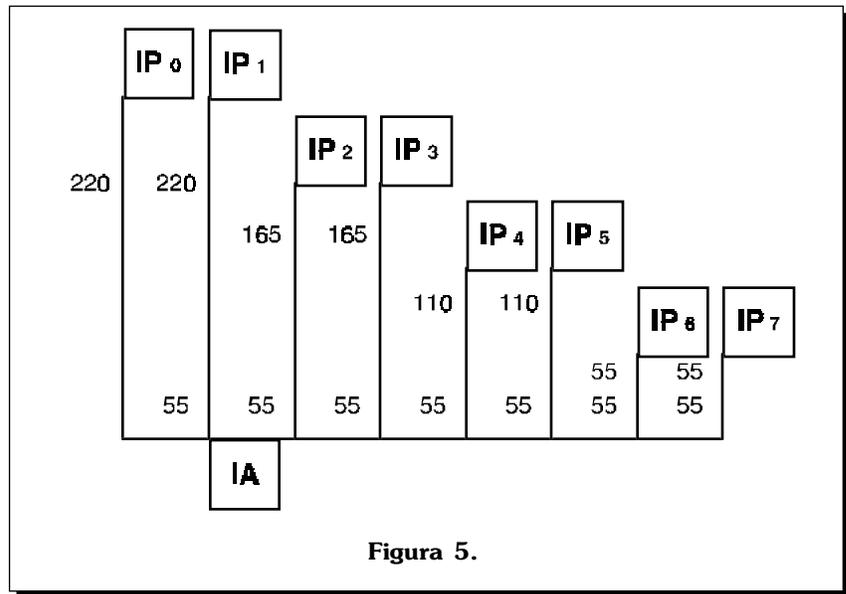


Figura 5.

2.3 Cara de Soldadura.

2.3.1 Constante Dieléctrica Efectiva.

Aplicando (7), con $h = 14$, resulta $\epsilon_{ef} = 3.35$.

2.3.2 Velocidad de Propagación.

Para $\epsilon_{ef} = 3.35$, $v = 163.9 \text{ mm/ns} = 163.9 \times 10^6 \text{ m/s}$.

2.3.3 Impedancia Característica.

Aplicando (6), con $h=14$, se obtiene $Z_0 = 83.95 \Omega$.

2.4 Distribución Física de Componentes.

Las distancias promedio entre el dispositivo de interface del procesador anfitrión (IA), y los dispositivos de interface a los 8 procesadores del multiprocesador (IP_n , $n = 0, 1, \dots, 7$), son las indicadas en la **figura 5** (medidas en mm). Las interconexiones horizontales corresponden al plano de conductores, y las verticales a la cara de soldadura. Asociado a cada dispositivo IP_n existen conexiones ubicadas en la cara de componentes, con longitud promedio de 25mm. Las conexiones correspondientes al dispositivo IA ubicadas en la cara de componen-

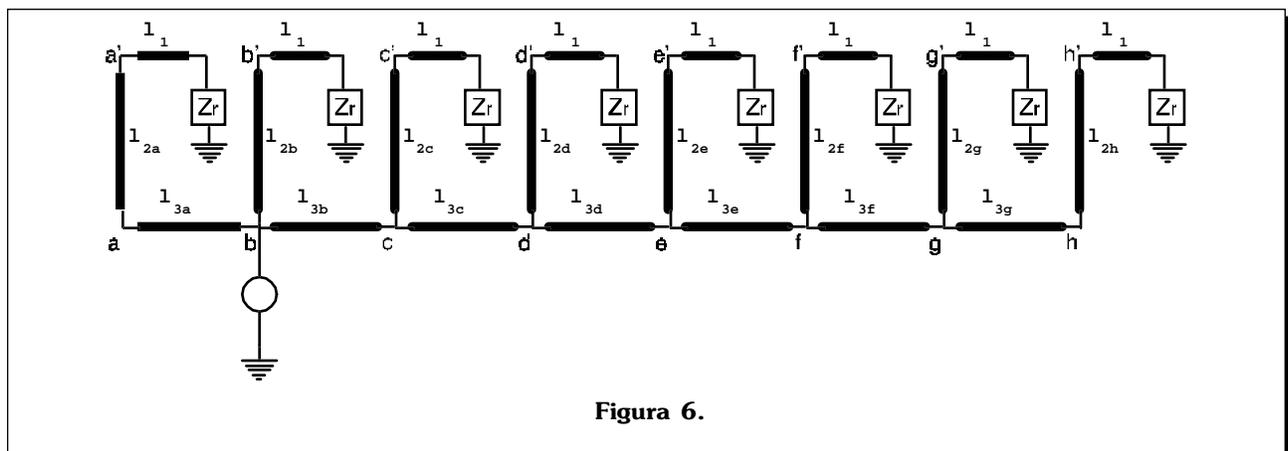


Figura 6.

tes poseen longitud despreciable. A continuación se determinará la impedancia equivalente de entrada al circuito impreso, vista desde el dispositivo IA. Como se mencionó previamente, los dispositivos IP_n poseen características de entrada esencialmente capacitivas, de 5 pfd en cada terminal.

2.5 Procedimiento de Cálculo.

2.5.1 Circuito Equivalente.

Por lo discutido en el punto 2.4, la distribución física de componentes da origen al circuito equivalente mostrado en la **figura 6**. Las líneas I_1 poseen una longitud de 25 mm y están ubicadas en la cara de componentes. Las líneas I_{2a}, \dots, I_{2h} poseen la longitud indicada en la figura 5 y corresponden a la cara de soldadura y, finalmente, las líneas $I_{3a}, I_{3c}, \dots, I_{3h}$ están ubicadas en el plano de conductores y poseen una longitud de 55 mm.

2.5.2 Ecuaciones de Cálculo.

Para una constante de atenuación puramente imaginaria, y con base en las identidades $\cosh(jx) = \cos(x)$, $\sinh(jx) = j\sen(x)$, la ecuación (1) puede escribirse como:

$$Z_e = Z_0 \left[\frac{Z_0 \cos\beta L + jZ_0 \sen\beta L}{Z_0 \cos\beta L + jZ_r \sen\beta L} \right] \quad 10$$

y, para $Z_r = 1/j\omega C_r$, se tiene:

$$Z_e = -jZ_0 \left[\frac{(1/\omega C_r) \cos\beta L - Z_0 \sen\beta L}{Z_0 \cos\beta L + (1/\omega C_r) \sen\beta L} \right] \quad 11$$

De la expresión anterior se desprende que, para valores de βL pequeños, la impedancia de entrada a la línea es capacitiva. Sea $Z_e = 1/j\omega C_e$. Entonces, la capacidad equivalente de entrada a la línea, C_e , está dada por:

$$C_e = C_r \left[\frac{\cos\beta L + (1/\omega C_r Z_0) \sen\beta L}{\cos\beta L - \omega C_r Z_0 \sen\beta L} \right] \quad 12$$

Esto es, para valores de βL pequeños, el efecto de la línea consiste en amplificar la capacidad de carga, C_r , por un valor que depende de la frecuencia de la señal, y de la longitud, impedancia característica y velocidad de propagación de la línea. Supóngase una señal de 25 MHz, esto es, sea $\omega = 2\pi f = 157.1 \times 10^6$. Por otra parte, considérese la cara de soldadura del circuito, para la cual $Z_0 = 84\Omega$. De la ecuación (5), se tiene que:

$$\beta = \omega/v = 157.1 \times 10^6 / 163.9 \times 10^6 = 0.9585 \text{ rad/m.}$$

Para una capacidad $C_r = 5$ pfd, de (12) se desprende que C_e tiende a infinito si $L = 1.567$ m. Para la velocidad de propagación y frecuencia indicadas, esta longitud corresponde, aproximadamente, a 0.239λ , donde λ es la longitud de onda.

2.5.3 Determinación de la Capacidad de Entrada Equivalente.

Para resolver el circuito equivalente de la figura 6, se obtendrá la capacidad de entrada C_{1a}, \dots, C_{1h} reflejada en los nodos a', ..., h', así como los valores resultantes en los nodos a, ..., h debido a los segmentos de línea $I_{2a}, I_{2b}, \dots, I_{2h}$. Sea C_{2a}, C_{2b}, \dots , la capacidad de entrada a las líneas I_{2a}, I_{2c}, \dots vista desde los nodos a, b, ... Similarmente, sea C_{3a} la capacidad de entrada a la línea I_{3a} , y C_{3c}, \dots, C_{3h} la capacidad de entrada a las líneas I_{3c}, \dots, I_{3h} . La capacidad asociada a un nodo determinado es la suma de las capacidades de entrada de las líneas que emanan del mismo nodo. Así, $C_g = C_{3h} + C_{2g}$, etc. La capacidad de entrada vista por la fuente, esto es, la capacidad asociada al nodo b, puede obtener-

se entonces calculando, en secuencia, las capacidades asociadas a los nodos a, h, g, ..., y c.

Para C_{1a}, \dots, C_{1h} se tiene:

$$\begin{aligned} \beta &= \omega/v \\ &= 157.1 \times 10^6 / 167.7 \times 10^6 \\ &= 0.9368 \text{ rad/m, } L = 0.025 \text{ m,} \end{aligned}$$

$$\begin{aligned} \omega Z_0 &= 157.1 \times 10^6 \times 115.34 \\ &= 0.01812 \times 10^{12} \end{aligned}$$

Para $C_r = 5 \times 10^{-12}$ y substituyendo en (12), se obtiene:

$$C_{1a} = 6.306 \text{ pfd}$$

Este valor es el mismo para los nodos a', b', ..., h'. Las líneas I_{2a}, I_{2b}, \dots están ubicadas en la cara de soldadura. Para C_{2a}, C_{2b}, \dots , se tiene, entonces :

$$\begin{aligned} \beta &= 157.1 \times 10^6 / 163.9 \times 10^6 \\ &= 0.9585 \text{ rad/m} \end{aligned}$$

$$\begin{aligned} \omega Z_0 &= 157.1 \times 10^6 \times 83.95 \\ &= 0.01319 \times 10^{12} \end{aligned}$$

Substituyendo C_{1a}, \dots por C_r en la ecuación (12), se obtiene:

$$\begin{aligned} C_{2a} &= C_{2b} = 22.93 \text{ pfd} \\ C_{2c} &= C_{2d} = 18.63 \text{ pfd} \\ C_{2e} &= C_{2f} = 14.45 \text{ pfd} \\ C_{2g} &= C_{2h} = 10.34 \text{ pfd} \end{aligned}$$

Las líneas I_{3a}, I_{3c}, \dots están ubicadas en el plano de conductores, para el cual:

$$\begin{aligned} \beta &= 157.1 \times 10^6 / 138.4 \times 10^6 \\ &= 1.1351 \text{ rad/m,} \\ Z_0 &= 74.1\Omega \\ \text{y} \\ \omega Z_0 &= 0.01164 \times 10^{12} \end{aligned}$$

A partir de los valores para C_{2a}, \dots, C_{2h} y substituyendo en (12) se obtiene:

$$\begin{aligned} C_{3h} &= 15.83 \text{ pfd, } \text{y} \\ C_g &= C_{3h} + C_{2g} \\ &= 15.83 + 10.34 = 26.17 \text{ pfd} \end{aligned}$$

$$C_{3g} = 32.16 \text{ pfd, } y$$

$$C_i = C_{3g} + C_{2f} = 32.16 + 14.45 = 46.61 \text{ pfd}$$

$$C_{3f} = 53.81 \text{ pfd, } y$$

$$C_e = C_{3f} + C_{2e} = 53.81 + 14.45 = 68.26 \text{ pfd}$$

$$C_{3e} = 77.49 \text{ pfd, } y$$

$$C_d = C_{3e} + C_{2d} = 77.49 + 18.63 = 96.12 \text{ pfd}$$

$$C_{3d} = 109.13 \text{ pfd, } y$$

$$C_c = C_{3d} + C_{2c} = 109.13 + 18.63 = 127.76 \text{ pfd}$$

$$C_{3c} = 145.06 \text{ pfd}$$

$$C_{3a} = 28.78 \text{ pfd}$$

Finalmente:

$$C_b = C_{3c} + C_{3a} + C_{2b} = 145.06 + 28.78 + 22.93 = 196.77 \text{ pfd}$$

2.6 Discusión.

Para el circuito impreso discutido, el dispositivo de interface IA «ve» una capacidad de carga de aproximadamente 200 pfd en cada terminal. Los dispositivos utilizados en el diseño [4] especifican retardos de salida con base en una capacidad de carga nominal de 50 pfd.

Para cargas capacitivas mayores, el incremento de los retardos de propagación está especificado como de 0.1ns/pfd. Aquí, el retardo adicional introducido por el dispositivo sería, entonces, de 15 ns. Por otra parte, el retardo de propagación asociado al circuito entre los dispositivos IA e IP₇ es de, aproximadamente, 2.72 ns. Así, el retardo adicional total es del orden de 18 ns. Este valor es equivalente a casi un semiperíodo de la frecuencia de operación considerada.

Dada la magnitud de los retardos asociados a la lógica interna de los dispositivos utilizados, así como de las señales de interface del bus de expansión, este retardo no propor-

cionaría márgenes de seguridad aceptables en términos de una operación confiable.

3.- Cálculo de la Segunda Versión

3.1 Alternativas de Modificación.

El factor que más influye en el efecto multiplicador de las capacidades asociadas al circuito es, evidentemente, la longitud de las líneas de interconexión. Esto es, la primera opción a considerar es la de reducir el tamaño del circuito.

Por otra parte, elevar la impedancia característica, así como la velocidad de propagación, reduce el efecto multiplicador arriba citado (véase la ecuación 12). Nótese, sin embargo, que una mayor impedancia característica tiende a incrementar el efecto de acoplamientos entre conductores vecinos y, en general, a incrementar el nivel de ruido del circuito. La velocidad de propagación depende en gran medida de la constante dieléctrica del material aislante empleado en el circuito impreso.

En este sentido, el teflón-fibra de vidrio parece constituir la mejor opción ($\epsilon_r = 2.2$). Las dimensiones físicas de los conductores, así como la separación entre éstos y planos de tierra, afectan, principalmente, la impedancia característica. En particular, el reducir el ancho del conductor, y el incrementar la separación entre conductor y plano de tierra, conduce a impedancias características mayores.

A continuación, se analiza una versión del circuito basada en reglas de diseño de 20 milésimas de pulgada. El ancho de los conductores de la cara de componentes es 9 mils. En el plano de conductores y cara de soldadura, el ancho de conductores es 7 mils. La separación entre conductor y plano de tierra (14 mils), así como el grosor de los conductores (1.4 mils) no fueron alterados. La reducción de las reglas de diseño generó como resultado una distribución física de las componentes como se muestra en la **figura 7**, con medidas expresadas en mm.

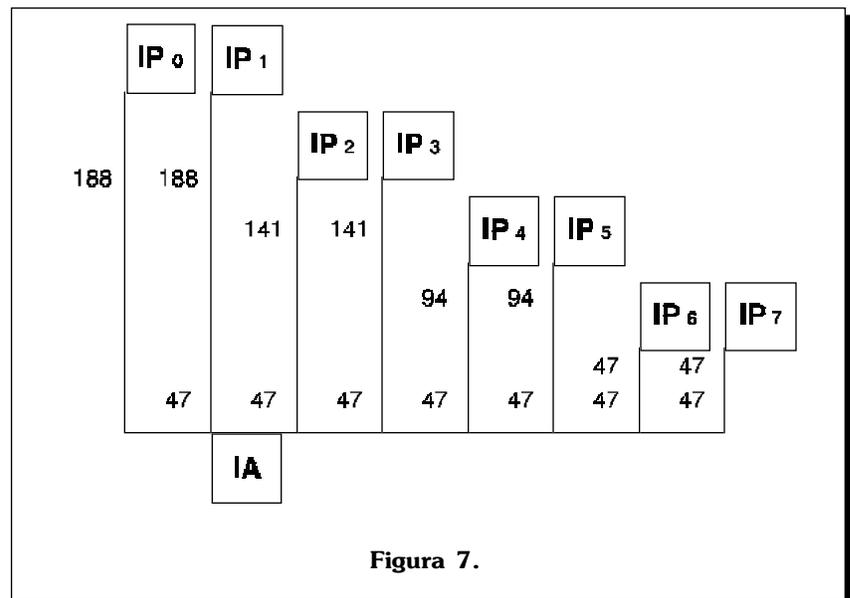


Figura 7.

3.2 Determinación de la Capacidad Equivalente.

El procedimiento de cálculo es el mismo al seguido anteriormente, por lo que no se repetirá aquí. Los resultados obtenidos son los siguientes:

3.2.1 Parámetros.

Cara de componentes:

$$\epsilon_{rf} = 3.167 \quad v = 168.5 \times 10^6 \text{ m/s},$$

$$Z_0 = 122.72 \Omega$$

Plano de conductores:

$$\epsilon_{rf} = 4.7 \quad v = 138.4 \times 10^6 \text{ m/s},$$

$$Z_0 = 87.34 \Omega$$

Cara de soldadura:

$$\epsilon_{rf} = 3.254 \quad v = 166.3 \times 10^6 \text{ m/s},$$

$$Z_0 = 99.97 \Omega$$

3.2.2 Cálculo de Capacidades Reflejadas.

Para C_{1a}, \dots, C_{1h} se tiene:

$$\beta = 157.1 \times 10^6 / 168.5 \times 10^6$$

$$= 0.9323 \text{ rad/m},$$

$$L = 0.025 \text{ m},$$

$$Z_0 = 122.72 \Omega$$

Para $C_r = 5 \times 10^{-12}$ y substituyendo en (12), se obtiene $C_{1a}, \dots, C_{1h} = 6.22 \text{ pfd}$

Para C_{2a}, C_{2b}, \dots , resulta:

$$\beta = 157.1 \times 10^6 / 166.3 \times 10^6$$

$$= 0.9447 \text{ rad/m},$$

$$Z_0 = 99.97 \Omega$$

Substituyendo C_{1a}, \dots por C_r en la ecuación (12) y los valores de L indicadas en la **figura 7**, se obtiene:

$$C_{2a} = C_{2b} = 17.96 \text{ pfd}$$

$$C_{2c} = C_{2d} = 14.95 \text{ pfd}$$

$$C_{2e} = C_{2f} = 11.99 \text{ pfd}$$

$$C_{2g} = C_{2h} = 9.09 \text{ pfd}$$

Las líneas l_{3a}, l_{3c}, \dots están ubicadas en el plano de conductores, para el cual:

$$\beta = 157.1 \times 10^6 / 138.4 \times 10^6$$

$$= 1.1351 \text{ rad/m},$$

$$Z_0 = 87.34 \Omega$$

A partir de los valores para C_{2a}, \dots, C_{2h} y substituyendo en (12) se obtiene:

$$C_{3h} = 13.07 \text{ pfd}, \quad y$$

$$C_g = C_{3h} + C_{2g}$$

$$= 13.07 + 9.09 = 22.16 \text{ pfd}$$

$$C_{3g} = 26.48 \text{ pfd}, \quad y$$

$$C_f = C_{3g} + C_{2f}$$

$$= 26.48 + 11.99 = 38.47 \text{ pfd}$$

$$C_{3f} = 43.59 \text{ pfd}, \quad y$$

$$C_e = C_{3f} + C_{2e}$$

$$= 43.59 + 11.99 = 55.58 \text{ pfd}$$

$$C_{3e} = 62.00 \text{ pfd}, \quad y$$

$$C_d = C_{3e} + C_{2d}$$

$$= 62.00 + 14.95 = 76.95 \text{ pfd}$$

$$C_{3d} = 85.67 \text{ pfd}, \quad y$$

$$C_c = C_{3d} + C_{2c}$$

$$= 85.67 + 14.95 = 100.62 \text{ pfd}$$

$$C_{3c} = 112.83 \text{ pfd}$$

$$C_{3a} = 22.14 \text{ pfd}$$

Así, la capacidad de carga que «ve» el dispositivo IA es:

$$C_b = C_{3c} + C_{3a} + C_{2b}$$

$$= 112.83 + 22.14 + 17.96$$

$$= 152.93 \text{ pfd}.$$

3.3 Discusión.

La reducción en las longitudes de los conductores del orden del 15%, así como la reducción del ancho de estos conductores, produjo una reducción de la capacidad equivalente de carga de casi 44 pfd. El retardo de propagación adicional del dispositivo IA es de aproximadamente 10.3ns. Por otra parte, el retardo introducido por la separación

entre los dispositivos IA e IP_7 es de:

$$\frac{(6 \times 0.047)}{(138.4 \times 10^6)} + \frac{0.047}{(166.3 \times 10^6)} + \frac{0.025}{(168.5 \times 10^6)}$$

$$= 2.47 \text{ ns}$$

Esto es, para este circuito el retardo adicional total es de aproximadamente 12.8ns, una reducción de 5.2ns con respecto a la primera versión. Resultados de simulación efectuados con los valores anteriores demuestran que el circuito opera confiablemente en estas condiciones.

Con objeto de estimar la calidad en las formas de onda presentes en los dispositivos IP_0, \dots, IP_7 , se propone el siguiente análisis. La duración mínima de las señales de interface generadas por el dispositivo IA es de 2 periodos de la frecuencia de operación nominal, esto es, de 80 ns. Supóngase que el dispositivo IA genera una onda trapezoidal del mismo periodo (12.5 MHz), con una amplitud TTL compatible de 2.8 Volts (**figura 8**).

Bajo la condición de que $t_1 + t_0 = T/2$, la forma de onda anterior admite una expansión en serie de Fourier de la forma **[5]**:

$$f(t) = a_0 + a_1 \cos(\omega_0 t) + a_3 \cos(3\omega_0 t) + \dots \quad \mathbf{14}$$

donde:

$$a_0 = A[(t_0 + t_1)/T]$$

$$a_n = 2a_0 \{ [\text{sen} n\pi t_1 / T] / [n\pi t_1 / T] \}$$

$$\{ [\text{sen} n\pi(t_0 + t_1) / T] / [n\pi(t_0 + t_1) / T] \},$$

n impar

3.4 Formas de Onda en los Dispositivos Receptores.

La determinación de la forma de onda en el extremo receptor de una línea de transmisión involucra la determinación de los factores de

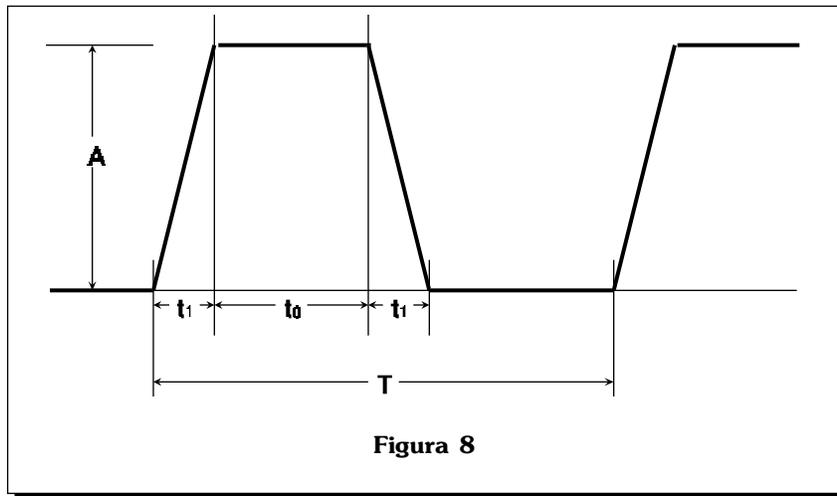


Figura 8

reflexión en los extremos emisor y receptor, y la aplicación del principio de superposición de las ondas emitidas y reflejadas por la línea. Análisis de este tipo son en extremo laboriosos para estructuras como la del presente problema. En consecuencia, se propone un estudio simplificado basado en el cálculo de las amplitudes de las componentes de frecuencia de la forma de onda considerada, basado en la ecuación (2), discutida al inicio del artículo:

$$V_r = V_e \left[\frac{Z_r}{Z_r \cosh \gamma L + Z_0 \sinh \gamma L} \right] \quad 2$$

La determinación de los coeficientes de (14) requiere el conocimiento del tiempo de transición t_1 de la forma de onda propuesta. Desafortunadamente, el manual del dispositivo utilizado [4] no especi-

ca este valor. Se considerará una pendiente de 1V/ns. Substituyendo en (14), se obtienen los siguientes valores para los coeficientes a_0, \dots, a_9 :

$$\begin{aligned} a_0 &= 1.4, & a_1 &= 1.779, \\ a_3 &= -0.583, & a_5 &= 0.339, \\ a_7 &= -0.255, & a_9 &= 0.198 \end{aligned}$$

La figura 9 muestra la expansión de la serie para los coeficientes indicados.

La determinación del voltaje efectivo presente en el nodo b (véase la figura 6) depende de la impedancia de entrada existente en este nodo para cada una de las componentes de frecuencia consideradas. Por otra parte, la aplicación de (2) requiere la determinación de los valores Z_r asociados a cada nodo ubicado entre la fuente (nodo b) y el

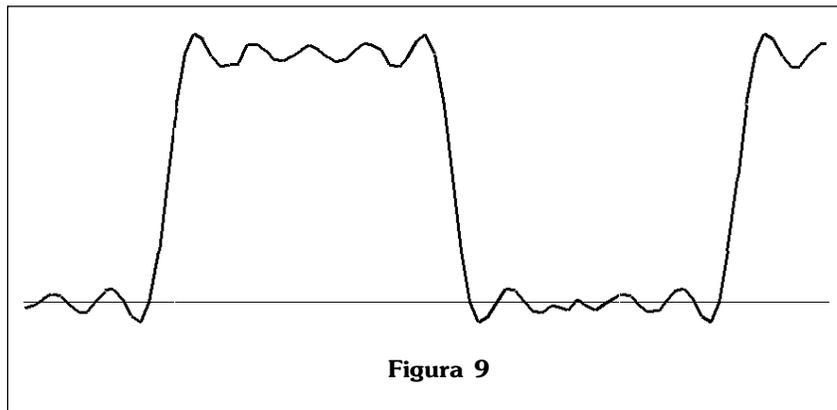


Figura 9

dispositivo destino considerado. Aquí, se analizará la señal de entrada a los dispositivos IP_1 e IP_7 , que representan, respectivamente, las distancias de interconexión menor y mayor con respecto al dispositivo fuente IA (figura 7). La tabla 1 (en la siguiente página) reproduce los valores obtenidos con base en la ecuación (10) para cada uno de los nodos de interés y el rango de frecuencias correspondiente a los coeficientes considerados arriba.

Para determinar la amplitud de cada una de las componentes de frecuencia consideradas en el nodo b, se supondrá que las salidas del dispositivo IA pueden ser modeladas como una fuente de tensión ideal, en serie con una resistencia de salida. El valor de dicha fuente no es publicado [4]. Sin embargo, dispositivos modernos tienden a proporcionar una impedancia de salida similar a la impedancia característica de circuitos impresos multicapa. Aquí se considerará una resistencia de salida de 100 Ω (figura 10).

Así, para las impedancias presentes en el nodo b y a las frecuencias consideradas, y suponiendo que la respuesta a la frecuencia de la fuente ideal es constante, se obtienen las relaciones V_b/V_e que se muestran en la tabla 2.

Considérese la expansión en serie de Fourier de la señal trapezoidal

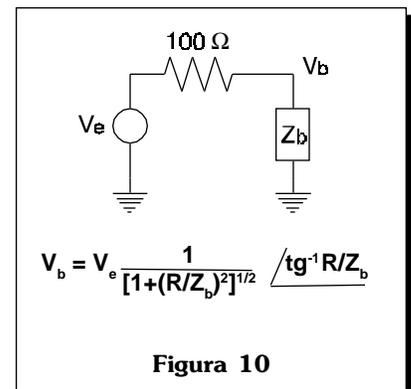


Figura 10

nodo	12.5 MHz	37.5 MHz	63.5 MHz	87.5 MHz	112.5 MHz
$Z_{PE1} - Z_{PE7}$	-2546j	-849j	-509j	-364j	-283j
Z_1	-2049j	-680j	-404j	-285j	-217j
$Z_{2a} = Z_{2b}$	-722j	-229j	-122j	-70j	-35j
$Z_{2c} = Z_{2d}$	-863j	-278j	-154j	-96j	-60j
$Z_{2e} = Z_{2f}$	-1070j	-349j	-199j	-132j	-91j
$Z_{2g} = Z_{2h}$	-1407j	-463j	-271j	-186j	-137j
Z_{3h}	-982j	-320j	-183j	-121j	-84j
$Z_g = Z_{2g} - Z_{3h}$	-578j	-189j	-109j	-73j	-52j
Z_{3g}	-489j	-155j	-83j	-49j	-27j
$Z_f = Z_{2f} - Z_{3g}$	-336j	-107j	-59j	-36j	-21j
Z_{3f}	-303j	-91j	-43j	-18j	0.4j
$Z_e = Z_{2e} - Z_{3f}$	-236j	-72j	-35j	-16j	0.4j
Z_{3e}	-218j	-61j	-22j	0.5j	22j
$Z_d = Z_{2d} - Z_{3e}$	-174j	-50j	-19j	0.5j	34j
Z_{3d}	-163j	-41j	-7j	17j	61j
$Z_c = Z_{2c} - Z_{3d}$	-137j	-36j	-7j	21j	-3660j
Z_{3c}	-129j	-28j	-5j	39j	-323j
Z_{3a}	-590j	-183j	-93j	-46j	-12j
$Z_b = Z_{3a} - Z_{2b} - Z_{3c}$	-92j	-22j	-4.6j	-96j	-9j

Tabla 1

discutida anteriormente. Para V_e se obtuvieron los siguientes coeficientes:

$$\begin{aligned}
 a_0 &= 1.4, \\
 a_1 &= 1.779, \\
 a_3 &= -0.583, \\
 a_5 &= 0.339, \\
 a_7 &= -0.255, \\
 a_9 &= 0.198
 \end{aligned}$$

De acuerdo con las especificaciones, el dispositivo IA es capaz de generar una señal TTL compatible con cargas capacitivas en exceso de

V_b/V_e	12.5 MHz	37.5 MHz	63.5 MHz	87.5 MHz	112.5 MHz
amplitud	0.677	0.215	0.046	0.693	0.090
ampl. norm.	1	0.318	0.068	1.024	0.133
fase	-0.827	-1.354	-1.525	-0.826	-1.481

Tabla 2

100 pfd, para el rango de frecuencias considerado. Por lo tanto, los coeficientes de la expansión en serie de la señal V_b estarán dados por el producto de los coeficientes a_n y los factores correspondientes a la amplitud normalizada, dados en la **tabla 2**.

$$\begin{aligned}
 b_0 &= 1.4, \\
 b_1 &= 1.795, \\
 b_3 &= -0.201, \\
 b_5 &= 0.029, \\
 b_7 &= -0.443, \\
 b_9 &= 0.073
 \end{aligned}$$

La expansión en serie de Fourier del voltaje V_b toma la forma:

$$\begin{aligned}
 V_b &= 1.4 + 1.795 \cos(\omega_0 t - 0.827) \\
 &\quad - 0.201 \cos(3\omega_0 t - 1.354) \\
 &\quad + 0.029 \cos(5\omega_0 t - 1.525) \\
 &\quad - 0.443 \cos(7\omega_0 t - 0.826) \\
 &\quad + 0.073 \cos(9\omega_0 t - 1.481)
 \end{aligned}$$

donde $\omega_0 = 2\pi(12.5 \times 10^6)$

Con base en la ecuación (2) se puede obtener la tensión existente en cada uno de los nodos considerados. Para cargas puramente reactivas, ya sea capacitivas, o inductivas, la ecuación (2) toma la forma:

$$V_r = V_e \left[\frac{1}{\cos\beta L + (Z_0/Z_r)\sin\beta L} \right] \quad 15$$

En la expresión anterior, Z_r está expresado con el signo.

Para el dispositivo IP_1 , los nodos de interés son el b', así como el de entrada al dispositivo (**figura 6**). Aplicando (15) a los nodos citados, se obtienen los valores para V_r/V_e mostrados en la **tabla 3**.

Sea V_{dn} la tensión presente en la entrada del dispositivo IP_n , y sean d_{nk} los coeficientes de la expansión en serie de Fourier de V_{dn} . Entonces, el valor de los coeficientes d_{nk} está dado por los coeficientes b_k , multiplicado por los factores V_r/V_e correspondientes a los nodos ubicados entre el nodo b y la entrada al dispositivo IP_n . Así, para el dispositivo IP_1 , el valor de d_{11} está dado por $1.008 \times 1.001 \times b_1 = 1.811$, etc. La expansión en serie con los coeficientes d_{1k} se grafica en la **figura 11**.

En dicha figura, $V_{H(\min)}$ es el valor mínimo correspondiente al nivel lógico de entrada alto. Similarmen- te, $V_{L(\max)}$ es el nivel máximo correspondiente al nivel lógico de entrada bajo. La señal graficada con línea delgada corresponde a la fuente ideal considerada (V_e), mientras que la gráfica de línea gruesa reproduce las señales de entrada del dispositivo IP_1 .

Para el dispositivo IP_7 , los nodos involucrados, además del correspondiente a la entrada del dispositivo, son el c, d, e, f, g, h y h' (**figura 6**). Los valores para V_r/V_e son los mostrados en la **tabla 3**.

nodo	12.5 MHz	37.5 MHz	63.5 MHz	87.5 MHz	112.5 MHz
b'	1.008	1.080	1.255	1.643	2.724
entrada	1.001	1.006	1.016	1.032	1.054

Tabla 3

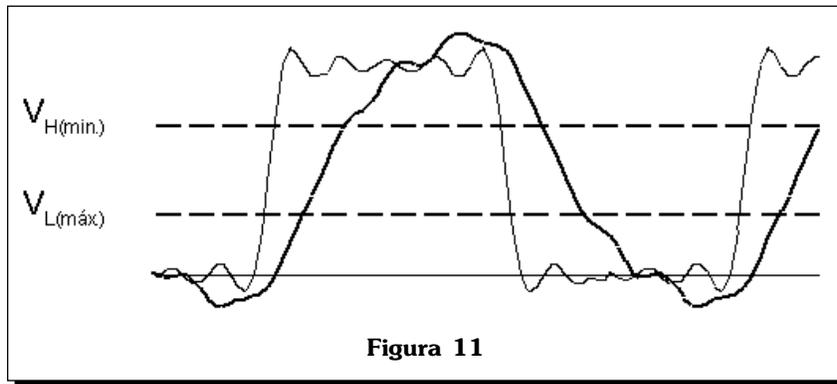


Figura 11

Los valores de la fila «producto» son el resultado de multiplicar todos los valores de la columna correspondiente a cada entrada. Procediendo de manera similar al caso anterior, se obtiene, para los coeficientes d_{7k} :

$$\begin{aligned} d_{70} &= 1.4, \\ d_{71} &= 1.899, \\ d_{73} &= -0.377, \\ d_{75} &= -0.274, \\ d_{77} &= 0.754, \\ d_{79} &= -0.076 \end{aligned}$$

La expansión en serie, con los coeficientes anteriores, está graficada en la **figura 12**.

3.5 Análisis de las formas de onda.

La señal recibida por el dispositivo IP_1 es satisfactoria (**figura 11**), en el sentido de que no presenta sobretiros excesivos y que es mono-

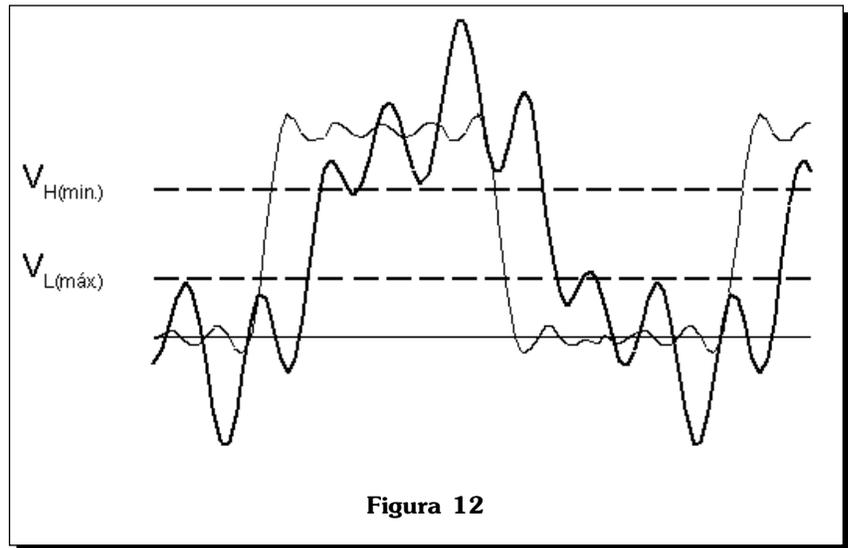


Figura 12

tónica en el rango $V_{H(\min.)} - V_{L(\max.)}$. Para el caso del dispositivo IP_7 , lo anterior no se cumple (**figura 12**). Por una parte, las oscilaciones negativas poseen una amplitud pico de -1.45 V , un valor potencialmente peligroso para el dispositivo. Por otra, la señal no es monotónica dentro de los límites establecidos

para señales TTL compatibles, lo que puede provocar detecciones erróneas de los niveles lógicos. Obsérvese, sin embargo, que las oscilaciones corresponden a la séptima armónica, esto es, a 87.5 MHz . A esta frecuencia,

y para el dispositivo considerado, no se cumple la suposición de que la resistencia óhmica del circuito es despreciable. De la tabla de impedancias de la página 15 se desprende que la impedancia en el nodo d es inductiva, e igual a $0.5\ \Omega$. Este valor es comparable al de la resistencia de alta frecuencia asociada a la línea, por lo que ésta no puede ser despreciada en este caso.

Por otra parte, la suposición de que la fuente V_e posee respuesta a la frecuencia constante no se cumple en la práctica. Tanto el amplificador de salida, como la conexión física entre la terminal del dispositivo y el amplificador, poseen características de frecuencia similares a las de un filtro pasabajos. Para el dispositivo considerado no se dispone de información en este sentido, pero no es razonable suponer que a 87.5 MHz no se presente determinada atenuación y desfaseamiento.

Finalmente, la forma de onda considerada admite un tratamiento matemático sencillo, pero corresponde sólo de manera aproximada a una señal físicamente realizable. La expansión en serie de Fourier de esta señal posee componentes de

nodo	12.5 MHz	37.5 MHz	63.5 MHz	87.5 MHz	112.5 MHz
entrada	1.001	1.006	1.016	1.032	1.054
c	1.018	1.246	-1.497	0.570	1.036
d	1.014	1.167	2.632	0.030	0.632
e	1.010	1.111	1.517	-32.649	0.018
f	1.007	1.073	1.259	1.879	-57.226
g	1.004	1.042	1.130	1.315	1.748
h	1.002	1.019	1.055	1.117	1.220
h'	1.001	1.012	1.035	1.071	1.125
producto	1.058	1.874	-9.434	-1.703	-1.042

Tabla 5

alta frecuencia mayores a lo que puede esperarse en la realidad.

Resumiendo, es de esperarse que el dispositivo IP_7 reciba señales de mayor contenido armónico que el IP_1 , pero en menor medida a la que el presente análisis indica. Ante la falta de mayor información técnica del dispositivo utilizado, este aspecto deberá ser evaluado experimentalmente.

4.- Resultados Experimentales Preliminares

Se midió la velocidad de propagación en las capas de conductores y soldadura, utilizando una resistencia de fuente, y de terminación, de 100Ω . Los valores obtenidos coinciden, dentro del error experimental, con lo reportado en el punto 3.2.1. No fue posible medir la impedancia característica, por no disponer del equipo necesario. Se midió la resistencia óhmica de los conductores, encontrándose $9.3 \Omega/m$ en la capa de conductores, y $2.7 \Omega/m$ en la de soldadura.

Se simuló la presencia de los dispositivos $IP_0 - IP_7$ en una línea del bus que los comunica con el dispositivo IA, mediante condensadores de 5.6 pfd . Se aplicó una onda cuadrada de 25 MHz en el nodo b, con una amplitud de 2.8 V pico a pico y una resistencia de fuente de 100Ω . Los tiempos de ascenso y descenso de la señal fueron de 4.5 ns . La **figura 13** reproduce la forma de onda observada (trazo grueso) y la obtenida mediante el análisis descrito en el punto anterior (trazo fino) para el dispositivo IP_0 . De manera similar, la **figura 14** reproduce las formas de onda correspondientes al dispositivo IP_7 . Los retardos observados coinciden aproximadamente con los valores calculados. El contenido armónico obser-

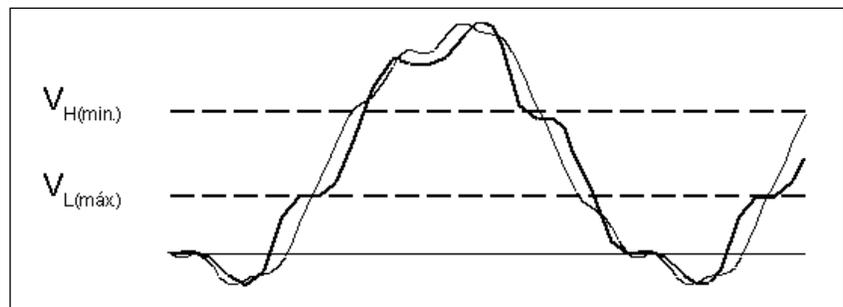


Figura 13

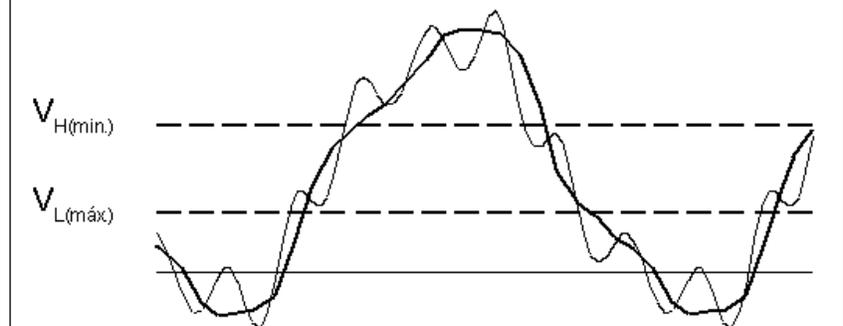


Figura 14

vado, particularmente en la **figura 14**, es considerablemente inferior al obtenido por el análisis descrito. Esto confirma la observación hecha arriba que en líneas largas, la resistencia óhmica no puede ser despreciada, y que el cálculo debe efectuarse con base en valores para la impedancia característica y constante de atenuación que incluyan a esta resistencia.

- [3] Sander, K. F. "Microwave Components and Systems". Addison-Wesley Publ. Co., Reading, Mass., 1987.
- [4] "Field Programmable Gate Array Data Manual". Texas Instruments, 1994.
- [5] Jordan, Edward C., Ed. "Reference Data for Engineers: Radio, Electronics, Computer, and Communications", 7th. ed., Howard W. Sams & Co., Indianapolis, Ind., 1989.

Bibliografía

- [1] Ware, Lawrence A. & Henry R. Reed: "Communication Circuits", 3rd. edition. John Wiley & Sons, Inc., New York, 1964.
- [2] Ginsberg, Gerald L. "Printed Circuits Design". Mc Graw-Hill, Inc., New York, 1990.

Optimización de Control Difuso Aplicando Algoritmos Genéticos

M. en C. Romeo Urbieto Parrazales
Profesor e Investigador del CINTEC-IPN.
Dr. Adriano De Luca
Dr. John Goddard C.
Lic. Felipe Vargas L.
UAM I.

Este artículo describe una aplicación de algoritmos genéticos, aplicados a las variables difusas de entrada de un sistema de control difuso para un motor de c.d., con el fin de optimizar la variable de posición. Se presentan gráficos de las funciones de membresía de entrada y de la variable de posición para el caso de prueba y error, y para el caso optimizado.

Introducción

El buen funcionamiento del posicionamiento de la flecha de un motor de c.d. está relacionado con el ajuste de los componentes del controlador que lo maneja.

Cuando se emplean Controladores de Lógica Difusa ("Fuzzy Logic Controllers", FLC) los componentes de entrada se seleccionan por prueba y error ("Controlador de Lógica Difusa con funciones de membresía seleccionadas al azar", AD-FLC), como un primer intento de controlar el sistema.

En este primer intento, en la respuesta de salida del sistema de

control generalmente se observan sobretiros grandes o pequeños. En el caso de la posición de un motor esta respuesta no se desea, porque dañaría la flecha del motor y el posicionamiento no sería óptimo.

Para solucionar este problema los diseñadores de sistemas de FLC's aplicaron el método descendente, que se convirtió en el método tradicional para ajustar FLC's., durante mucho tiempo.

Actualmente, se aplica un método mas ventajoso, el método de

Algoritmos Genéticos ("Genetic Algorithm", GA). Este algoritmo será el que ajuste las funciones de membresía de entrada para el buen funcionamiento del sistema (GA-FLC).

Descripción del AD-FLC

Los componentes generales de un sistema de FLC aplicado a un motor de c.d. se observan en la figura 1.

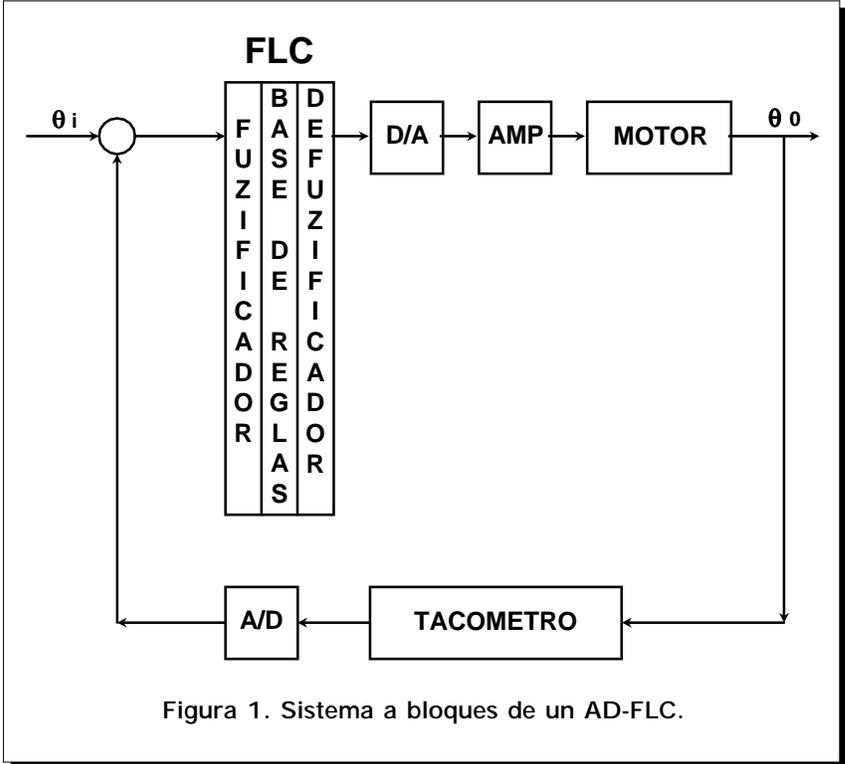


Figura 1. Sistema a bloques de un AD-FLC.

Motor

Los datos del motor, amplificador, y convertidor digital-analógico (ADC) son los siguientes:

Motor de c.d.

- V_i = Voltaje de entrada = 24 Vcc
- i = Corriente = 0.75 A
- R_a = Resistencia = 3.6 ohms
- J = Inercia del motor = 0.0007 on-in-sec²
- K_v = Constante de velocidad = 0.038 Volt-s/rad
- K_t = Constante de torque = 3.5 on-in/A

Amplificador de Potencia

Ganancia = 4.8

ADC

Tiempo de muestreo = 1.0E-3 segundos

El modelo del motor con amplificador y ADC viene dado por la siguiente expresión:

$$\frac{qo(z)}{Up(z)} = \frac{Az + B}{(z-1)(z-c)} \quad (1)$$

donde :

A=0.0048, B= 0.005,
C= 0.9231

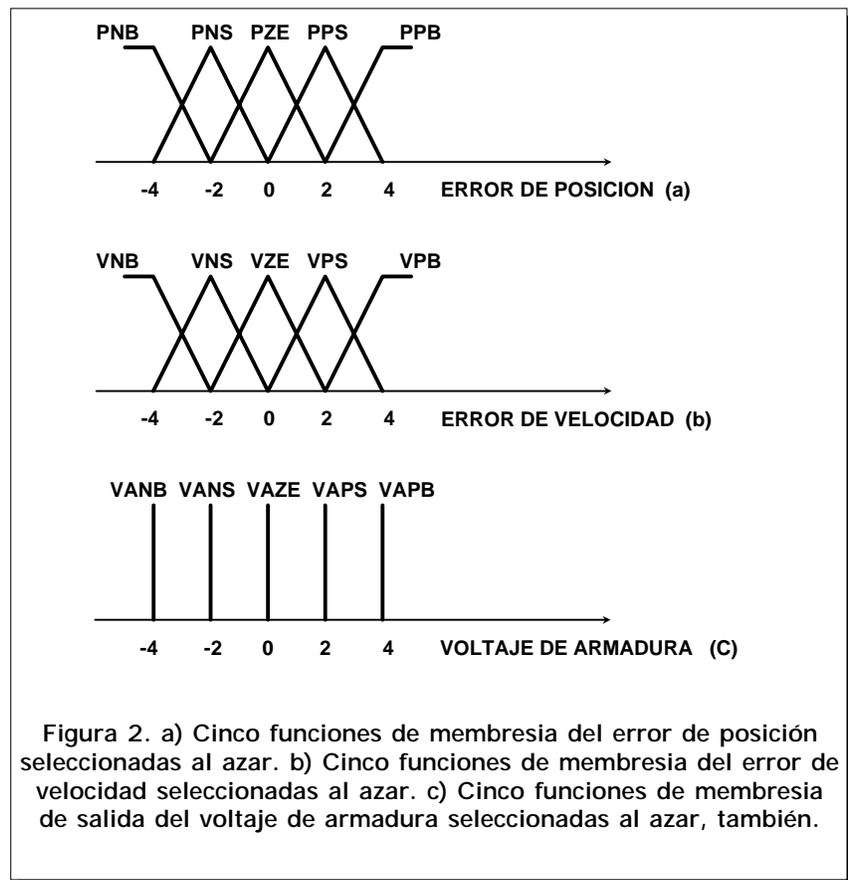
$qo(z)$ = Variable de salida de posición de la flecha del motor.

$Up(z)$ = Variable de salida del controlador difuso.

El AD-FLC

El AD-FLC se compone de tres elementos: fuzificador, base de reglas, y defuzificador [2,3] (Ver nota en el recuadro inferior). Estos tres componentes se muestran en las figuras 2 y 3. En la figura 2 se muestran las funciones de membresías de entrada y salida del FLC, seleccionadas al azar.

de entrada y salida seleccionadas al azar. La matriz de reglas formada es de 5x5, o sea 25 Reglas Si-Entonces. El criterio para formar la matriz de reglas se establece por medio de Sistemas de Estructura Variable ("Variable Structure Systems", VSS). El criterio establece una zona de conmutación en donde convergen los estados del sistema (denominados VAZE). En otras palabras, la con-



Base de Reglas del AD-FLC

Las figuras 3 y 4 muestran la matriz de la base de reglas que estabiliza al sistema AD-FLC. Esta matriz se forma con las membresías

vergencia logra que el sistema se estabilice en esta zona. Para efectos de rapidez en los cálculos, la matriz de reglas se reduce a 11 reglas, debido a que se repiten algunas de ellas, figura 4.

NOTA:

Los terminos "fuzificador" y "defuzificador" no tienen actualmente un equivalente concreto y globalmente aceptado en el idioma Español. Su significado mas aproximado es el de "gramatizador de logica difusa" y "desgramatizador de logica difusa". Dado que en el argot empleado en el medio académico se han adoptado los términos "fuzificador" y "defuzificador" para definir estas acciones, en este artículo y en los siguientes que se publiquen en polibits alrededor de este tema se continuarán aplicando estos terminos y otros similares, hasta tener conocimiento de otros términos de uso generalizado.

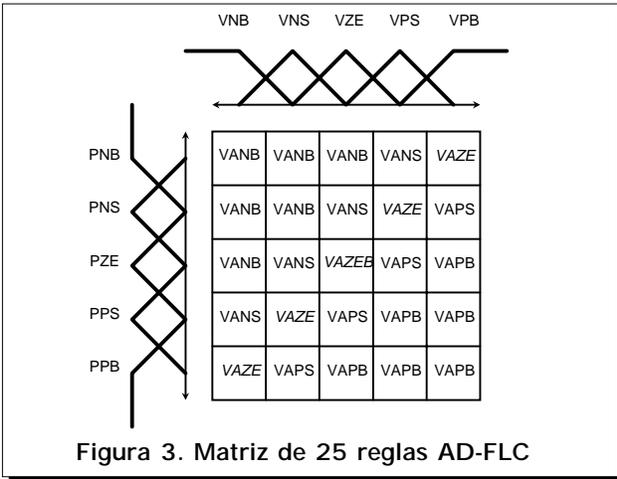


Figura 3. Matriz de 25 reglas AD-FLC

Retroalimentación

La retroalimentación del sistema es negativa y de ganancia unitaria.

Simulación del AD-FLC

La simulación del AD-FLC arroja una gráfica en tres dimensiones, presentando una área de control, en la que se pueden observar las conmutaciones del mismo, ver figura 5. Los ejes coordenados son: el error de posición, el error de velocidad y el voltaje de armadura.

Simulación del Sistema AD-FLC

El resultado de la simulación de la variable de posición del sistema de AD-FLC se presenta en la figura 6, donde se puede observar la posición de la flecha del motor variando en forma positiva de 0 a 675 radianes (0 a 4 voltios) en un tiempo de 0 a 500 milisegundos. En los primeros 100 milisegundos se observa la respuesta transitoria, teniendo un pequeño sobretiro, el cual es peligroso para el buen funcionamiento del motor. Un Algoritmo Genético será la herramienta que solucione este problema.

Descripción del GA-FLC

Los componentes del sistema del Controlador de Lógica Difusa optimizado por Algoritmo Genético (GA-FLC) son similares a los componentes del AD-FLC, pero con el bloque de algorit-

plora una solución S_r , llamada cromosoma, la cual maximiza una función objetivo $E(S_r)$ que se llama "fitness". El cromosoma expresará las 10 funciones de membresía de los errores de posición y de velocidad (figura 2).

La función objetivo se expresa como

$$E(S_r) = \sum_{i=1}^{\text{caso 1}} \sum_{j=0}^{\text{caso 4}} (2-q_j)2^{120-j}$$

$2-q_j$ = diferencia de "set point" menos posición actual.

$S_r = L_r1, L_r2, \dots, L_rG$, donde L_{rg} , ($g=1, \dots, G$) es una variable que toma valores de "0" y "1".

$$S_r = 101010101\dots$$

Con estos cromosomas se generó una población

$$S = (s_1, s_2, \dots, s_R)$$

El "fitness" $E(s_r)$ de cada cromosoma S_r es derivado al determinar una probabilidad de selección $P_{s_r}(t)$

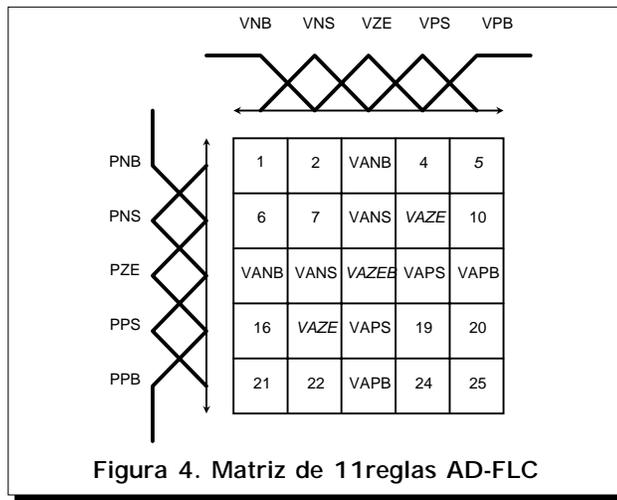


Figura 4. Matriz de 11 reglas AD-FLC

mos genéticos adherido en las funciones de membresía de entrada del FLC. El objetivo del GA es encontrar las nuevas funciones de membresía de entrada al controlador, lo que hará que la variable del sistema de posición quede optimizada, (ver Figura 7).

Algoritmo Genético (GA)

El Algoritmo Genético GA ex-

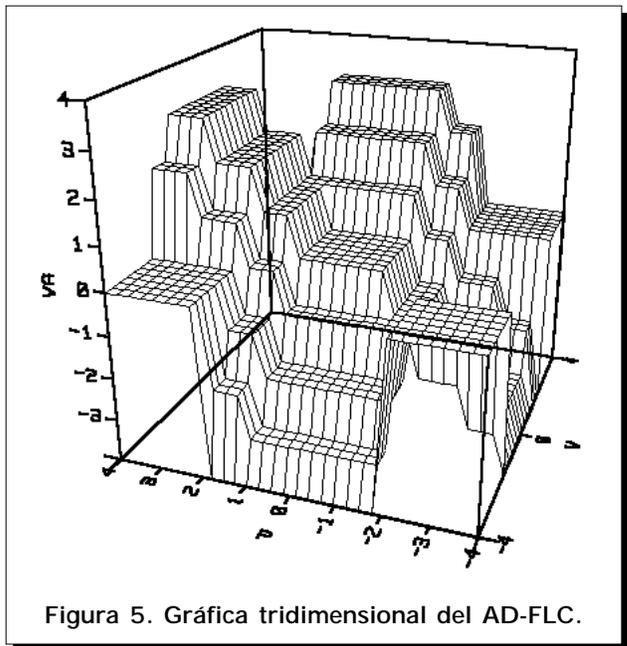


Figura 5. Gráfica tridimensional del AD-FLC.

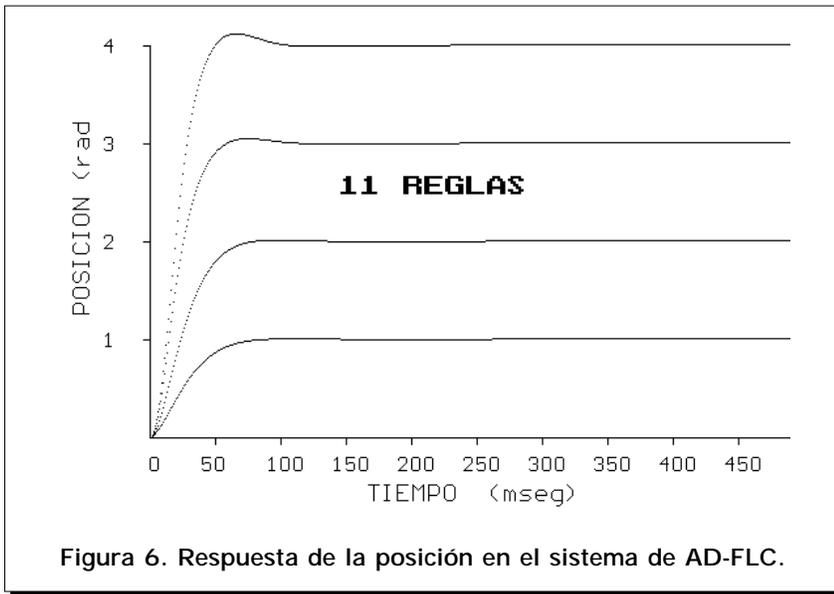


Figura 6. Respuesta de la posición en el sistema de AD-FLC.

cambia los bloques de la cadena fuera de la frontera, obteniéndose un nuevo cromosoma $S_k'(t)$. Luego una operación de mutación se aplica al nuevo cromosoma, invirtiendo sus elementos de acuerdo a una probabilidad de mutación. En este caso se emplearon los siguientes parámetros para efectuar la optimización [4,5].

POBLACION= 40
 CROMOSOMA = 280
 VARIABLES = 7
 ITERACIONES = 200
 ERROR ACOTACION MINIMA = 6
 PROBABILIDAD DE MUTACION = 0.1
 PROBABILIDAD DE CRUCE = 0.75

La ubicación de las nuevas funciones de membresía genera funciones triangulares también, ver figuras 8 y 9. Las nuevas funciones de membresías tienen una forma y tamaño diferentes de las que se presentan en la figura 2, obviamente. A un valor de error mínimo de $E(S_r(t)) = 4.8$, en la iteración 71 y cromosoma 7.

$$Psr(t) = \frac{E(s_r(t))}{\sum_{r=1}^R E(s_r(t))}$$

R = no. de cromosomas

se aplica selección de probabilidades.

Se emplean dos operaciones, una de **cruce** y otra de **mutación**. En la operación de cruce se selecciona una frontera en la cadena con probabilidad de $1/G-1$, que inter-

Se seleccionan dos conjuntos de cromosomas fuera de la población y

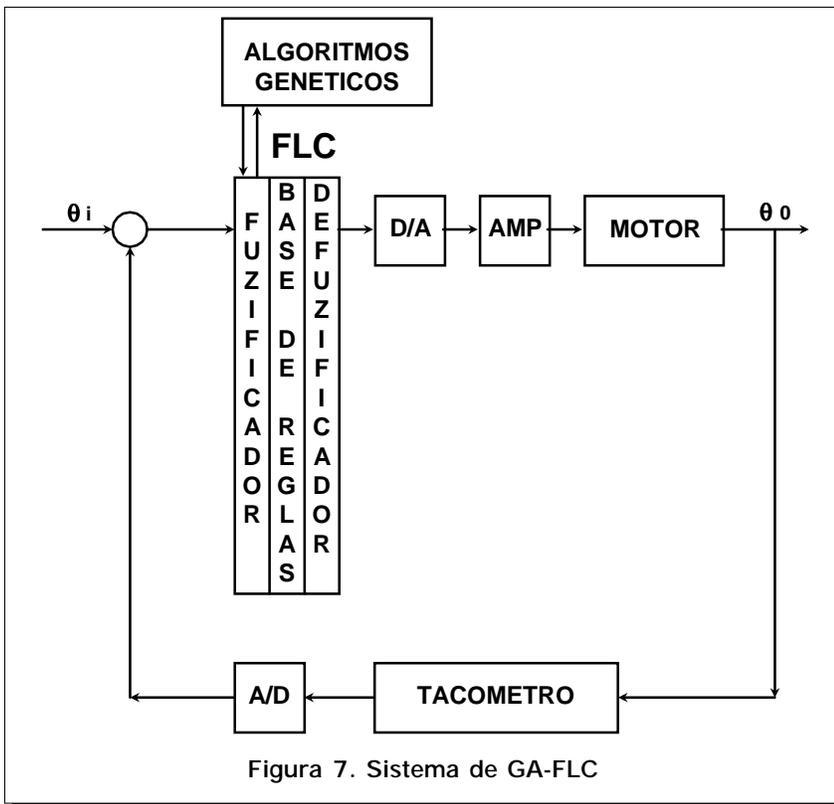


Figura 7. Sistema de GA-FLC

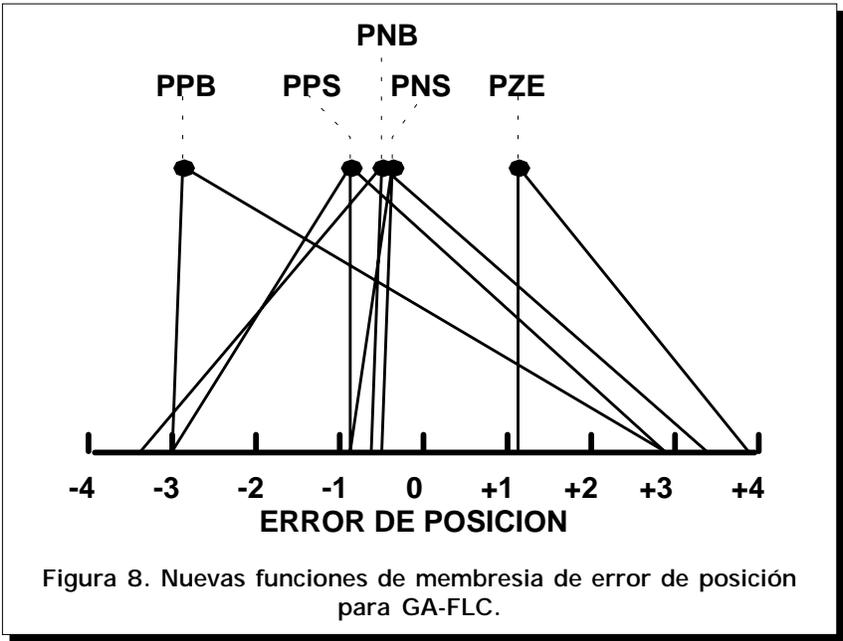
ERROR DE POSICIÓN:

- PZE = { 1.165354, 1.165354, 1.165354, 3.937008 }
- PPS = { -3.622047, -0.976378, -0.976378, 2.803150 }
- PPB = { -2.929134, -2.929134, -2.929134, 2.740157 }
- PNS = { -0.976378, -0.535433, -0.535433, 1.480315 }
- PNB = { -3.496063, -0.661417, -0.661417, 3.307087 }

ERROR DE VELOCIDAD

- VZE = { -1.732283, -0.724409, -0.724409, -0.535433 }
- VPS = { -2.488189, 0.094488, 0.094488, 0.346457 }
- VPB = { -2.488189, 1.858268, 1.858268, 2.236220 }
- VNS = { -3.370079, -3.370079, -3.370079, -0.598425 }
- VNB = { -2.299213, -2.299213, -2.299213, 1.039370 }

Por lo tanto, con las nuevas funciones de membresía de entradas del GA-FL se pudo también, como



en el AD-FLC, obtener la nueva superficie de control de Lógica Difusa optimizada por Algoritmo Genético, ver **figura 10**. Comparada con la **figura 5** se observan pocas zonas de conmutación.

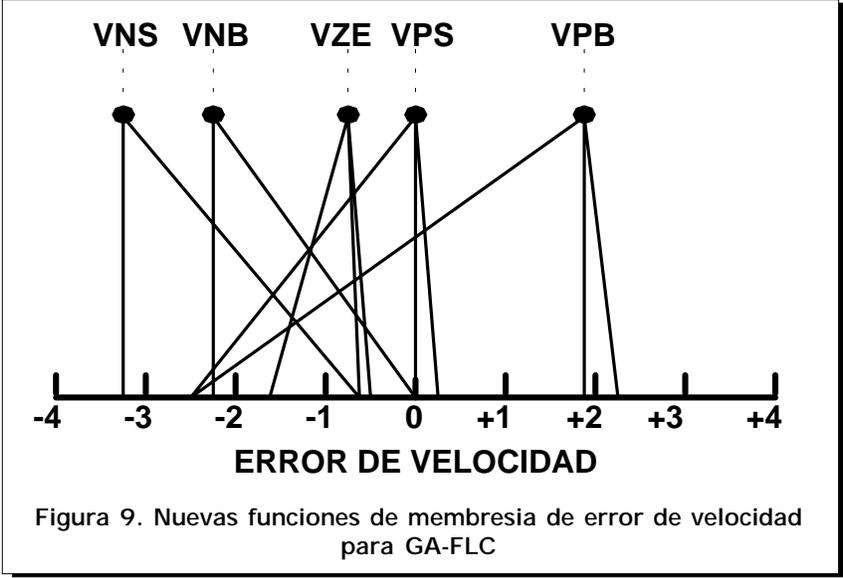
La respuesta de la variable de posición del motor ya optimizada se presenta en la **figura 11**, en donde se puede observar que a respuesta transitoria se suaviza perfectamente.

También se presenta una gráfica en la que se puede apreciar las dos respuestas de posición: la AD-FLC y la de GA-FLC (ver **figura 12**).

Conclusiones

El el diseño AD-FLC y GA-FLC resulta muy fácil encontrar sus parámetros, por lo que la edición del sistema en un programa gráfico es-

tructurado en lenguaje de programación C++ resulta también simple. El AD-FLC estabiliza muy bien a la variable de posición del sistema con una matriz de 11 reglas, y trabaja de la misma forma que una de 25, 49, etc. solamente que el cálculo efectuado por la computadora resulta ser mas rápido, obviamente, con la matriz de 11 reglas. El AD-FLC logra la estabilidad de la variable de posición con las matrices de reglas con 49, 25, 11 en el controlador, pero no logra la optimización de la misma. El Algoritmo Genético optimiza muy bien a la variable de posición del sistema, encontrando nuevas funciones de membresía de entrada al controlador, usando un error absoluto de 4.8 y con pocas interacciones de cálculo (71) en una población totalmente reducida (40). **Nota:** los resultados del AD-FLC para casos de 25 y 49 reglas no se presentan en este artículo pues resultan redundantes por tener los mismos efectos que con 11 reglas.



Bibliografía y Referencias

- [1] Ronald R. Yager. "Alternative Structures for Knowledge Representation in Fuzzy Logic Controllers". Fuzzy Control Systems. CRC press. pp 100-136.1993.
- [2] Arthur Ramer. "Information Complex and Fuzzy Control". Fuzzy Control System. CRC press. pp.76-95.1993.
- [3] Shigeyasu Kawaji and Nobutomo Matsunaga. "Fuzzy Control off VSS and its Robustness". Kandel and Langholz . Fuzzy Control Systems. CRC Press, 1994, ch. 10, pp.223-242.
- [4] H. Nomura, Y. Hayami. "A Method of fuzzy Reasoning by Genetic Algorithms". Central Research laboratories, CRC Press. 1994, pp. 338- 358.
- [5] Chuck Karr. "Applying Genetics to Fuzzy Logic" AI Expert. March 1991. pp.38-43.

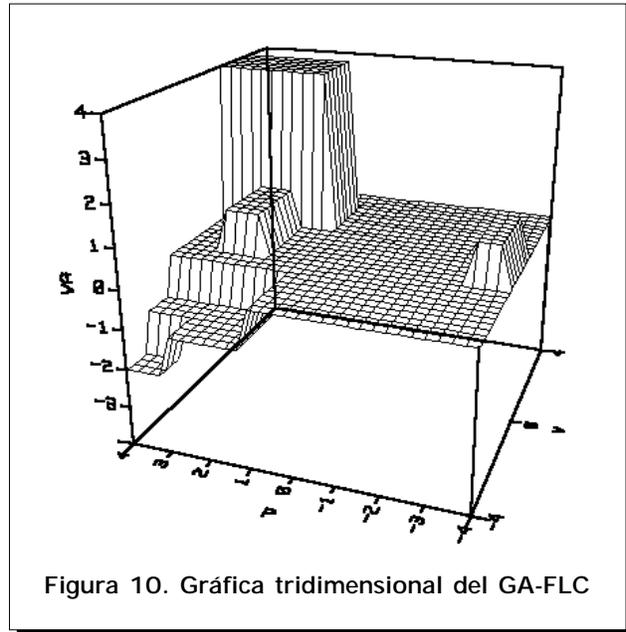


Figura 10. Gráfica tridimensional del GA-FLC

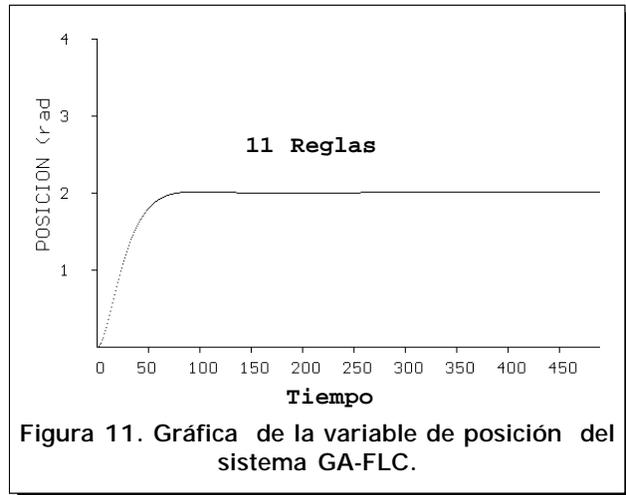


Figura 11. Gráfica de la variable de posición del sistema GA-FLC.

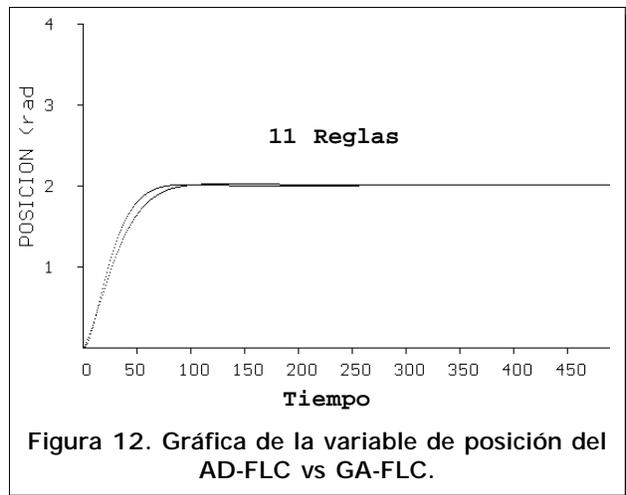


Figura 12. Gráfica de la variable de posición del AD-FLC vs GA-FLC.

La Lógica Difusa como Medio de Control Optimizado en Sistemas de Disco Compacto

M. en C. Miguel Angel Partida Tapia †
 Subdirector Académico y de Investigación del CINTEC-IPN.
Rafael Noriega Ortíz
Jorge Eduardo Piña Tovar
León Fernando Romero Antiga
 Estudiantes de la Maestría del CINTEC-IPN.

El sistema de Disco Compacto ("Compact Disc", CD) es una herramienta respaldada por altos estándares de calidad y su presencia en el mercado está garantizada, debido a que es un vehículo altamente confiable para el manejo de datos ampliamente apoyado por sistemas de modulación y corrección de errores, tales como:

- 1.- Modulación EFM.
- 2.- Modulación PCM.
- 3.- Código de corrección de errores CIRC.

Lo que demuestra la superioridad relativa de este sistema en muchos de sus procesos.

Dado que es un producto cuyo ciclo de vida se prevé sea muy largo, es importante desarrollar los sistemas de control o servomecanismos más versátiles relacionados con su lectura, para así asegurar su precisión y confiabilidad.

Utilizando las ventajas intrínsecas del control Fuzzy, se pueden implantar en algunos puntos del sistema CD, es posible la optimización deseada en los siguientes servomecanismos:

- I.- Pick up Óptico.
 - a) Tracking.
 - b) Focus, foco o enfoque.
- II.- Motor de Carga.
- III.- Selección de Discos.

- a) Tracking, el cual es el seguimiento de pistas.
- b) Focus, que es el enfoque del rayo láser.

Las señales para los servomecanismos de enfoque y seguimiento provienen de 6 fotodiodos en un sistema convencional de láser triple. De los fotodiodos, 4 se usan para el enfoque y RF (Radio Frecuencia o transmisión de datos), y 2 para el seguimiento, ver **Figura 1**.

Se ilustran de esta manera distintos tipos de sistemas para el control del haz. Tal es el caso de sistemas donde por medio de fotodiodos se realiza la corrección de errores.

Subsistemas de Servomecanismos del Disco Compacto

El pick up óptico

El pick up óptico es el mecanismo de guiado, enfoque y recorrido radial del rayo láser que permitirá las mejores condiciones operativas para el máximo rendimiento en la transmisión de datos al CI. De esta manera se derivan dos dispositivos y controles los cuales son los siguientes:

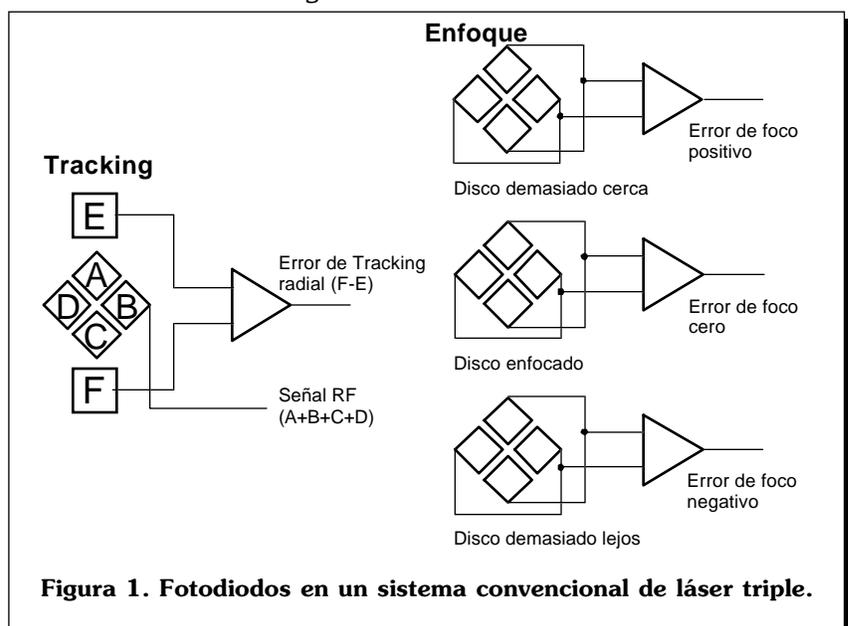


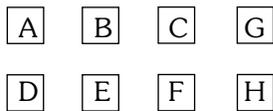
Figura 1. Fotodiodos en un sistema convencional de láser triple.

Las siguientes son las fórmulas obtenidas del circuito operacional para la retroalimentación.

Para el error radial:
 $(A + B) - (C + D) = 0.$
 Para la señal de RF:
 $(A + B + C + D) = 4$
 Para el error de enfoque:
 $(A + C) - (B + D) = 0$

De los fotodiodos A, B, C, D salen dos señales de suma, $(A+C)-(B+D)$ y se utilizan para el control de enfoque y RF. Substituyendo para una señal de $(1+1)-(1+1) = 0$ en donde no se realiza ninguna corrección de enfoque de lo contrario el microprocesador encargado de enfoque y RF tratará de ajustar estos valores para lograr esta combinación.

Se propone colocar 8 diodos de los cuales 4 son para enfoque y RF, los restantes son para control de tracking bajo la utilización de control Fuzzy.



Implantación de Conjuntos Difusos

El sistema de CD tiene un dispositivo de montaje de movimiento lineal y tangencial. La lente de enfoque está montada sobre una bobina suspendida dentro de un campo magnético de unos imanes permanentes, este sistema es muy similar al de una bobina móvil en un micrófono.

Se usa un bobina grande para el enfo-

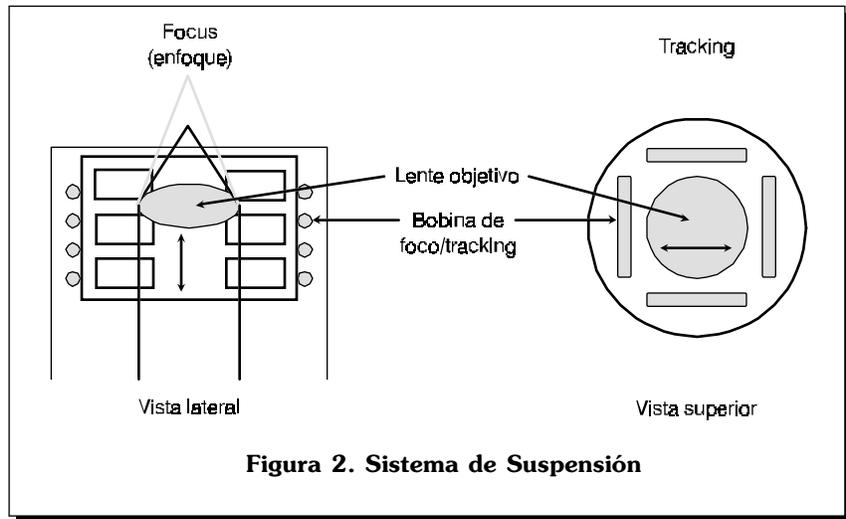


Figura 2. Sistema de Suspensión

que, como se muestra en la **figura 2**, y otras mas pequeñas para el tracking, de tal manera se obtiene un movimiento vertical por medio de la bobina de enfoque, y por otras bobinas un movimiento lateral que se ocupa para tracking. La **figura 2** muestra un sistema completo de suspensión del lente. Se puede aplicar una tensión continua de un divisor bipolar que permite una variación entre -5 a +5 volts. Esto coloca al lente en una posición central, a partir de la cual la tensión de los fotodiodos permite una compensación para arriba y abajo. Este control de corrimiento corrige eventualmente las pequeñas diferencias eléctricas en los amplificadores y mecanismos en el montaje del lente en el Pick up óptico.

junto de elementos que denotarán nuestros conjuntos de decisión difusa. Para este caso se definen 2 variables (Control fino y tracking), con un espacio muestral de -5 a +5 volts para alimentación del servomecanismo de rastreo. La **figura 3** muestra el esquema de construcción de los conjuntos difusos, mientras que la **figura 4** tiene el espacio de decisión de cada conjunto y la **figura 5** muestra el trazo de las curvas que relacionan los conjuntos difusos con las variables.

Establecimiento de Reglas y Conjuntos Difusos

Se considera para los diodos, que cuando tienen una luz incidente tendrán un valor de uno, de lo contrario el valor correspondiente será de cero.

Para el tracking, las reglas de control difuso son:

Fuzzificación de Entradas

La "difusión" de la entradas se logra a partir de establecer un con-

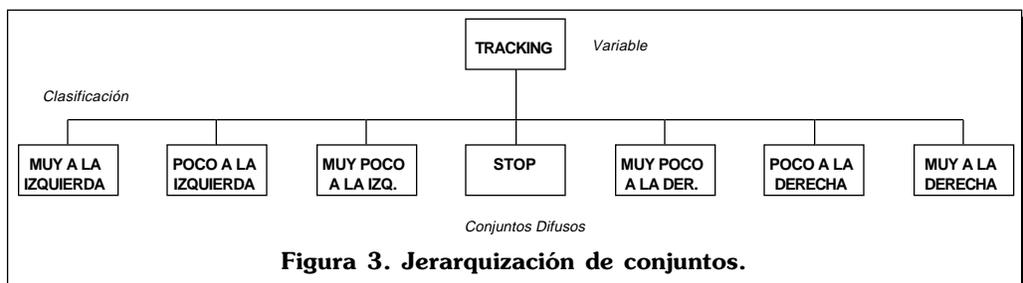
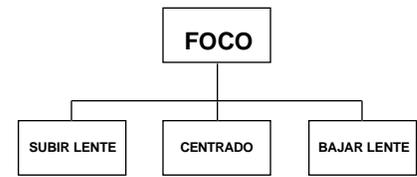


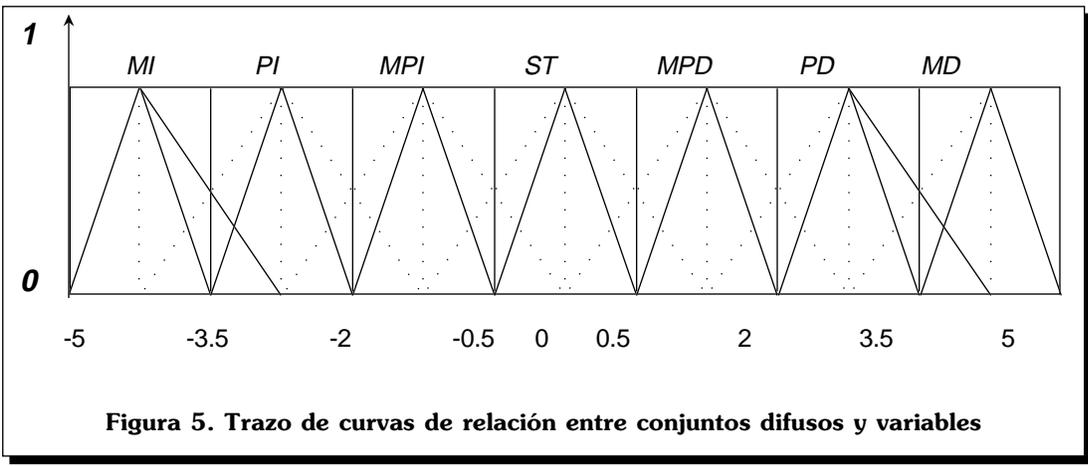
Figura 3. Jerarquización de conjuntos.

MUY A LA IZQ.	(MI)	-5	<=	MI	<=	-3.5	volts
POCO A LA IZQ.	(MI)	-3.5	<=	MI	<=	-2	volts
MUY POCO A LA IZQ.	(MI)	-2	<=	MI	<=	-0.5	volts
STOP (DETENER)	(MI)	-0.5	<=	MI	<=	0.5	volts
MUY POCO A LA DER.	(MI)	0.5	<=	MI	<=	2	volts
POCO A LA DER.	(MI)	2	<=	MI	<=	3.5	volts
MUY A LA DER.	(MI)	3.5	<=	MI	<=	5	volts

Figura 4.



Para el desarrollo del mecanismo de inferencia, se muestra en la **figura 7** el trazo de las curvas que relacionan a los conjuntos difusos con los valores de las variables.



Para el enfoque, las reglas de control difuso son:

si $B \text{ y } F = 1$ y C y $E = 0$, entonces subir lente.

si $B \text{ y } F = 1$ y C y $E = 0$, entonces subir lente.

- si A y $D = 1$ y $B, E, C, F, G, H = 0$, entonces desplazarse muy a la derecha.
- si $A, B, D, E = 1$ y $C, F, G, H = 0$, entonces desplazarse poco a la derecha.
- si B y $E = 1$ y $A, D, C, F, G, H = 0$, entonces desplazarse muy poco a la derecha.
- si $B, E, C, F = 1$ y $A, D, G, H = 0$, entonces STOP y esperar enfoque.
- si G y $H = 1$ y $A, D, B, E, C, F = 0$, entonces desplazarse muy a la izquierda.
- si $C, F, G, H = 1$ y $A, D, B, E = 0$, entonces desplazarse poco a la izquierda.
- si C y $F = 1$ y $G, H, A, D, B, E = 0$, entonces desplazarse muy poco a la izquierda.

μm . Existe en el sistema de pick up óptico una profundidad de foco de solo $\pm 2 \mu\text{m}$, por lo tanto la deformación geométrica puede llegar a ser $\pm 0.6 \mu\text{m}$, aproximadamente es una

- si $B, F, C, E = 1$, entonces centrado, no mover lente, accionar RF
- si C y $E = 1$ y B y $F = 0$, entonces bajar lente.

SUBIR LENTE	(SL)	-5	<=	SL	<=	-0.5	volts
CENTRADO	(C)	-0.5	<=	MI	<=	0.5	volts
BAJAR LENTE	(BL)	0.5	<=	MI	<=	5	volts

Figura 6

diferencia del 300 %, así, hay que ocupar un método de corrección para evitar estos problemas. Este proyecto ya contempla estas correcciones.

A continuación, en la **figura 8**, se muestra el desarrollo del cálculo de las funciones miembro.

Con respecto al enfoque:

El conjunto de elementos (Enfoque), con un espacio muestral de -5 a +5 volts para la alimentación del servomecanismo de enfoque se muestra en la **figura 6**.

Es necesario en el sistema de pick up óptico transferir la información digital del CD, y al mismo tiempo mantener el enfoque y el tracking adecuados. Esto es debido a que las tolerancias son muy rigurosas en todo el proceso, ya que la distancia entre las pistas es de 1.6

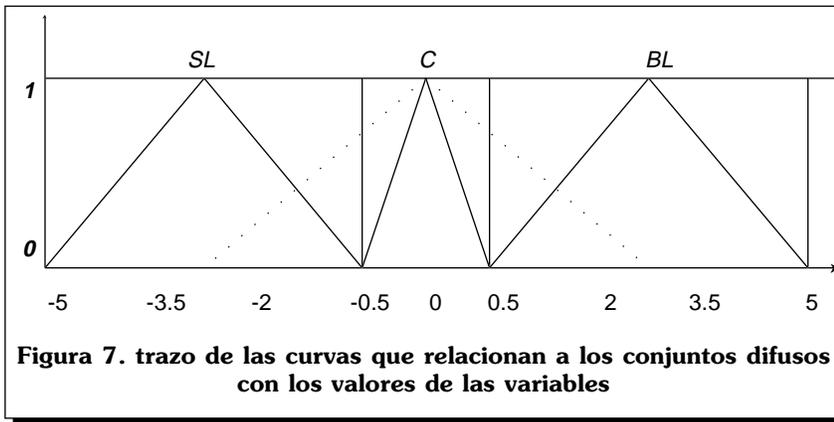


Figura 7. trazo de las curvas que relacionan a los conjuntos difusos con los valores de las variables

Conclusiones

Cabe mencionar que estas implementaciones se pueden aplicar para los restantes sistemas de servomecanismos del CD.

Si es verdad que se aumentan de seis a ocho diodos, esta implemen-

tación se justifica para las siguientes ventajas, con respecto a un sistema convencional:

a) Se eliminan los diodos E y F del modelo convencional, sin embargo, se obtiene mayor precisión y sobre todo rapidez en control de enfoque y tracking.

b) Solo se ocupa un emisor de láser de un solo haz, el de tres haces resultaría obsoleto.

c) Este diseño soporta con mayor superioridad los factores externos, como vibraciones accidentales, y/o errores provocados por movimientos de viaje.

d) En el caso de presentarse un error el tiempo de recuperación es substancialmente menor.

f) Menor pérdida de continuidad en el procesamiento de transmisión de información.

g) El sistema de enfoque y tracking se pueden utilizar simultáneamente, lo que provocará una mayor velocidad de acceso a los tracks o sectores y lectura.

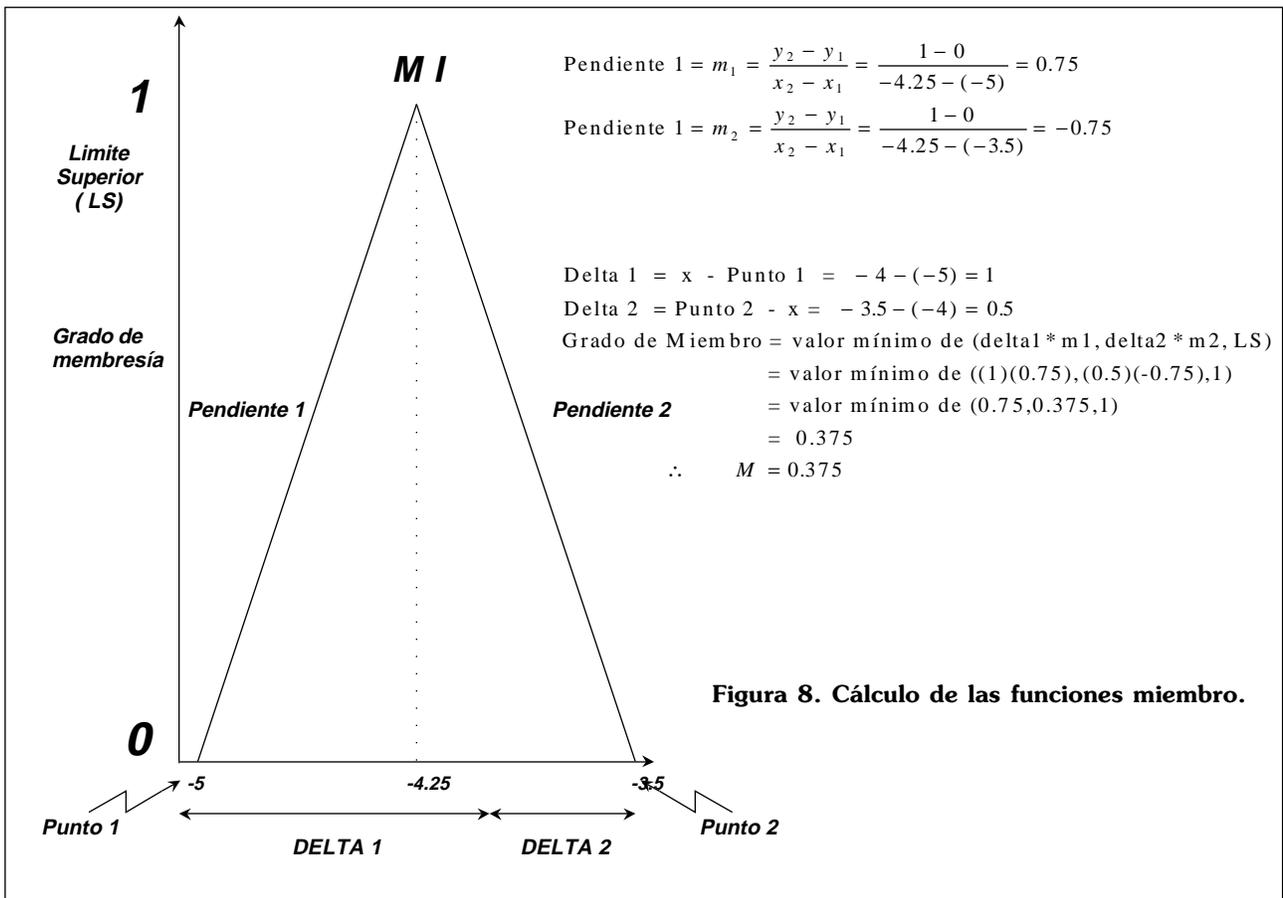


Figura 8. C\u00e1lculo de las funciones miembro.

- h) Se puede implementar para un sistema grabador de CD de alta velocidad.
- i) Los servomecanismos se pueden simplificar ocupando un driver sencillo de CD y eliminar microprocesadores complicados y de alto costo.
- j) No necesita ajuste manual, ya que se autocorrije.

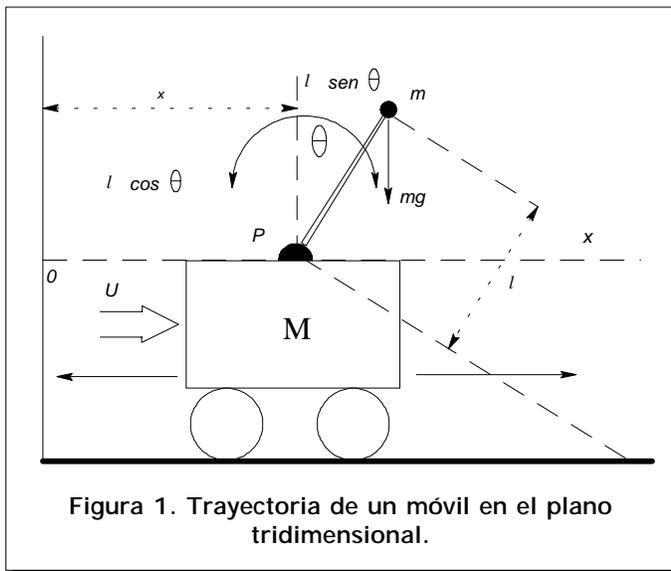
Referencias

- [1] Imaino, W., and Bhushan, B., 1991, "Actuation mechanisms in optical storage", avances en sistemas de almacenamiento de información, vol.1, pag. 375-404.
- [2] Li, Y.F., and Lau, C.C., 1989, "Development of Fuzzy algorithms for servo systems", Revista Control System de IEEE, Abril, pag. 65-72.
- [3] J Zimmerman, "Fuzzy sets theory & it's application".
- [4] Lee-Xin Wang, "Fuzzy Systems are universal approximators".
- [5] Kitani, H., and Tsunoda, Y., 1984, "Large capacity optical disk files", Actualización Hitachi, vol. 33, No. 3, pag. 109-114.
- [6] Yen, J.Y., Hallamasek, K., and Horowitz, R., 1990, "Track following controller design for a compound disk drive actuator", ASME Trans. J. of Dynamic Systems, Measurement, and control, vol. 112, Septiembre., pag. 391-402.
- [7] Kaneko, R., 1987, "Magnetic and optical disk storage technology", JSME International journal, vol. 30, No.260, Febrero, pag. 215-220.
- [8] Zadeh, L.A., 1968, "Fuzzy algorithm", informe y control, vol. 12, pag. 94-102.
- [9] Tang, K.L., and Mulholland, R.J., 1987, "Comparing Fuzzy logic with classical controller design", Trans, on Systems de IEEE, Hombre y Cibernética, Vol.SMC-17, No.6, Noviembre, pag.1085-1087.
- [10] Katsuhiko Ogata, "Ingeniería de Control Moderna".
- [11] Egon Strauss, "Compact Disk".

Comparación de los Sistemas Convencionales de Control y los Sistemas Difusos

M. en C. Miguel Angel Partida Tapia †
 Subdirector Académico y de Investigación del CINTEC-IPN.
 Jorge Eduardo Piña Tovar
 León Fernando Romero Antiga
 Rafael Noriega Ortiz
 Estudiantes de la Maestría del CINTEC -IPN

El presente artículo muestra un ejercicio de análisis y comparación de los sistemas convencionales de control y los sistemas actuales, basados en la lógica difusa. Este trabajo toma como ejemplo práctico la aplicación de estos sistemas al problema del Péndulo Invertido.



I.- Controladores Convencionales

En este tipo de controladores se utilizan modelos matemáticos, que demuestran teóricamente ser muy precisos y exactos. Estos modelos se basan en ecuaciones diferenciales del problema, en las cuales se deben de ajustar todos los parámetros para cada comportamiento a requerir o controlar.

Planteamiento del Fenómeno Físico

La figura 1 muestra la Trayectoria de un móvil en el plano tridimensional. El desarrollo siguiente, se realiza en base a un problema clásico de control : El péndulo invertido, el cual se describe a continuación.

El problema a resolver es mantener siempre en posición vertical la masa junto con la varilla, tratando de mover el carro para lograrlo. El péndulo está sostenido por una chumacera, encima de un carro que a su vez tiene movimiento por medio de un sistema de deslizamiento dinámico, por lo cual éste puede adoptar dos tipos de direcciones sobre el plano x, y que afecta directamente con el ángulo teta del péndulo con respecto a la normal o eje vertical. El planteamiento que propone el control convencional, es desarrollar ecuaciones diferenciales relacionando la posición en el plano x del carro, la velocidad angular y el ángulo teta del péndulo.

Planteamiento de las Fórmulas para Control Convencional

Las siguientes son las fórmulas derivadas en caso de utilizar el método de Laplace

Análisis del Cuerpo Libre

$$u = \text{Fuerza de Control } x_g = x + l \sin \theta$$

$$\theta = \text{ángulo pequeño } y_g = l \cos \theta$$

Nota: Debido a la extensión del desarrollo matemático contenido en este artículo, se decidió modificar el diseño acostumbrado de 3 columnas por el de una columna.

Análisis desarrollando la 2ª Ley del Movimiento Rotacional que influye solo a "m" con respecto a un punto "P", multiplicando y eliminando términos simétricos.

Para "m" en "x" y "y", de (1) y (2) y tomando en cuenta que el péndulo se debería de conservar en posición vertical, se considera que θ y $\dot{\theta}$ en consecuencia son pequeños y se pueden sustituir de la siguiente manera.

$$\mathbb{L} \left[m \frac{d^2 y}{dt^2} \right] = m [s^2 y(s) - sy(\theta) - \dot{\theta}]$$

si $y=0$ $\dot{\theta}=0$ \therefore

$$\mathbb{L} \left[m \frac{d^2 y}{dt^2} \right] = (ms)y(s)$$

$$\bar{F} = \frac{d}{dt}(m\bar{v}) ; \text{ para que } m = \text{ constante}$$

$$\bar{F} = m\bar{d}\bar{v} ; F = \frac{d\dot{\theta}}{dt} ; \bar{F} = m\ddot{\theta}$$

$\bar{F} = \bar{m}\bar{a}$; Ecuación diferencial de movimiento de la partícula o punto de masa.

Por la segunda Ley de Newton en dirección "x" del movimiento

$$\bar{F} = \bar{m}\bar{a} \quad \text{Se sustituye}$$

$$u = M \frac{d^2 x}{dt^2} + m \frac{d^2 xy}{dt^2} ; u = M \frac{d^2 x}{dt^2} + m \frac{d^2}{dt^2} (xy) \text{ se sustituye } xy = (x + l \text{ sen } \theta)$$

$$u = M \frac{d^2 x}{dt^2} + m \frac{d^2}{dt^2} (x + l \text{ sen } \theta)$$

(a) $dx(\text{sen } \theta) = \cos \theta dx\dot{\theta}$ por regla de la cadena

$$\frac{d}{dt} \text{sen } \theta = (\cos \theta)\dot{\theta} ; \frac{d^2}{dt^2} \text{sen } \theta = (-\text{sen } \theta)\dot{\theta}^2 + (\cos \theta)\ddot{\theta}$$

$$(b) \frac{d}{dt} \cos \theta = -(\text{sen } \theta)\dot{\theta} ; \frac{d^2}{dt^2} \cos \theta = -(\cos \theta)\dot{\theta}^2 - (\text{sen } \theta)\ddot{\theta}$$

Desarrollando de la 2ª Ley de Newton para movimiento de M y m en "x"

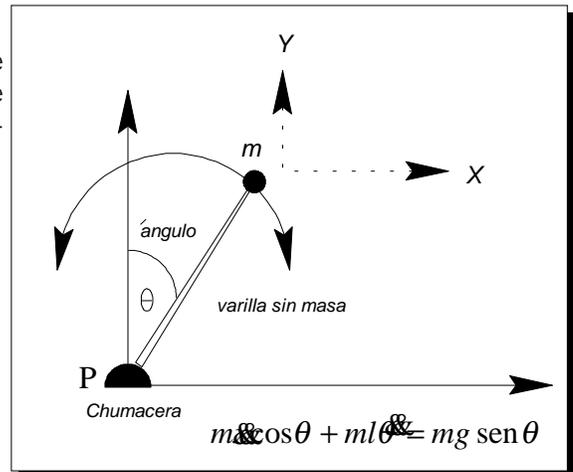
$$M \frac{d^2}{dt^2} x + \left[m \frac{d^2}{dt^2} x + \left(m \frac{d^2}{dt^2} l \text{ sen } \theta \right) \right] = u$$

$$M \frac{d^2}{dt^2} x + \left[\left(m \frac{d^2}{dt^2} x \right) + ml(-(\text{sen } \theta)\dot{\theta}^2 + (\cos \theta)\ddot{\theta}) \right] = u$$

$$= M\ddot{x} + \left[m\ddot{x} - ml(\text{sen } \theta)\dot{\theta}^2 + ml(\cos \theta)\ddot{\theta} \right] =$$

$$= M\ddot{x} + m\ddot{x} - ml(\text{sen } \theta)\dot{\theta}^2 + ml(\cos \theta)\ddot{\theta}$$

$$(1) \rightarrow (M + m)\ddot{x} - ml(\text{sen } \theta)\dot{\theta}^2 + ml(\cos \theta)\ddot{\theta} = u \text{ para mov. en "x"}$$



$$\frac{m \frac{d^2 x_g}{dt^2} l \cos \theta - m \frac{d^2 y_g}{dt^2} l \sin \theta}{l \sin \theta} = mg$$

$$m \frac{d^2 x_g}{dt^2} (l \cos \theta) - m \frac{d^2 y_g}{dt^2} (l \sin \theta) = mgl \sin \theta$$

$$w = mgl \sin \theta = \text{peso} \quad ml \frac{d^2 \theta}{dt^2} = -mg \sin \theta$$

se sustituye "xg" y "yg"

$$\left[m \frac{d^2}{dt^2} (x + l \sin \theta) \right] l \cos \theta - \left[m \frac{d^2}{dt^2} (l \cos \theta) \right] l \sin \theta = mgl \sin \theta$$

de (a) y (b) Se desarrolla de la siguiente manera.

$$\left[\left[m \frac{d^2}{dt^2} x \right] + \left[ml \frac{d^2}{dt^2} \sin \theta \right] l \cos \theta \right] - \left[\left[ml \frac{d^2}{dt^2} \cos \theta \right] l \sin \theta \right] = mgl \sin \theta$$

$$\left[m \frac{d^2}{dt^2} x + ml \left[(-\sin \theta) \theta^2 + (\cos \theta) \theta \right] l \cos \theta \right] - \left[ml \left[-(\cos \theta) \theta^2 - (\sin \theta) \theta \right] l \sin \theta \right] = mgl \sin \theta, \text{ Reduciendo}$$

$$\left[m \frac{d^2}{dt^2} x - l(\sin \theta) \theta^2 + l(\cos \theta) \theta \right] l \cos \theta - \left[m \left[-l(\cos \theta) \theta^2 + l(\sin \theta) \theta \right] l \sin \theta \right] = lmg \sin \theta$$

$$\sin \theta \approx \theta \quad \cos \theta \approx 1 \quad (M+m) + lm = u \rightarrow (3)$$

$$\theta \approx \theta \quad m + lm = mg\theta \rightarrow (4)$$

si Restamos (3) y (4) para eliminar terminos

$$\left[(M+m) + lm = u \right] - \left[m + lm = mg\theta \right] = \left[M + m + lm = u \right] - \left[m + lm = mg\theta \right] = M = u + mg\theta$$

$$M = u - mg\theta \rightarrow (5) \text{ De (3) y (5) se elimina } u \text{ y se multiplican}$$

$$Ml = (M+m)g\theta + u = \theta \rightarrow (6) \text{ Si se resuelve por funciones de transferencia tenemos}$$

$$\frac{\theta(s)}{-U(s)} = \frac{1}{Ml s^2 - (M+m)g} \rightarrow (7)$$

De (3) y (4) Se derivan las siguientes variables de estados como:

$$x_1 = \theta ; x_2 = \dot{\theta} ; x_3 = x ; x_4 = \dot{x} \therefore \dot{x}_1 = x_2 ; \dot{x}_2 = \frac{(M+m)}{Ml} g x_1 - \frac{1}{Ml} u ; \dot{x}_3 = x_4 ; \dot{x}_4 = \frac{m}{M} g x_1 + \frac{1}{M} u$$

por matrices.

II.- Controladores Difusos

Introducción

Los controladores diseñados con lógica difusa, tratan de imitar el comportamiento humano; así como aprender de sus experiencias. Las siguientes son diversas metodologías de diseño Fuzzy, de acuerdo a diversos autores.

I. Sucesión de diseño (H.J Zimmermann)

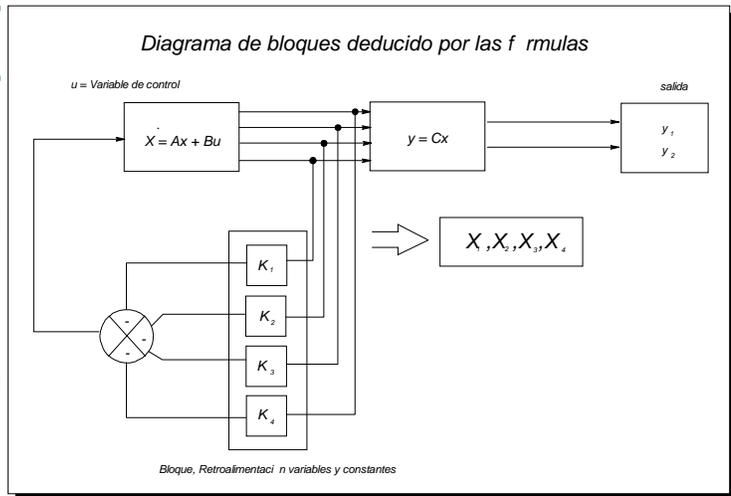
- 1.- Definición de entradas y variables de control.
- 2.- Definición de reglas y fuzzy sets.
- 3.- Desarrollo del mecanismo de inferencia.
- 4.- Selección de la estrategia de fuzzificación .

II. Proceso Fuzzy (Greg Viot)

- 1.- Fuzzificación de entradas.
- 2.- Evaluación de reglas.
- 3.- Defuzzificación de salidas.

III. Configuración básica del modelado Fuzzy (Li-Xing-Wang)

- 1.- Interface de fuzzificación.
- 2.- Reglas basadas en fuzzy.
- 3.- Máquina de inferencia fuzzy.
- 4.- Interface de defuzzificación.

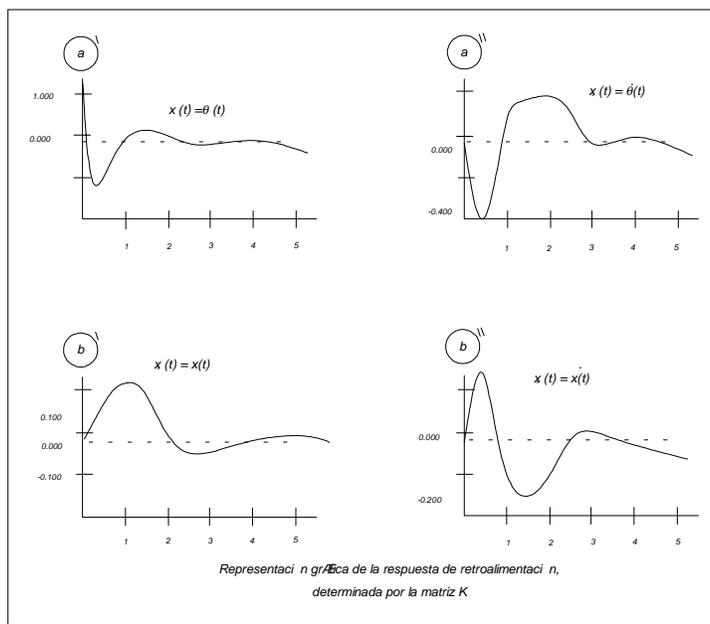


Prácticamente no existe una teoría que indique los pasos a seguir del control Fuzzy; sin embargo, es posible

establecer una metodología de diseño que permita diseñar en orden, sobre todo ahorrar tiempo y evitar problemas en el desarrollo de los sistemas de control.

Un método aceptable propuesto por los autores para un sistema industrial es el siguiente:

Las técnicas que un operador aprende en base a su experiencia, le sirven para controlar de mejor manera cualquier proceso complejo. Estas pueden ser expresadas como un conjunto de reglas Fuzzy de la siguiente forma: Condición -Acción, que no son otra cosa que términos lingüísticos que describen a los diferentes procesos.



A).- Observar al trabajador experto operando el proceso.

Observación del proceso y/o sistema físico a desarrollar , repitiendo este proceso cuantas veces sea necesario.

Se deben de tomar en cuenta la táctica y estrategia que utiliza el operador, la secuencia que sigue para todos los procesos, la velocidad en que estos se realizan, así como realizar el estudio de tiempos y movimientos, y considerar los aspectos ergonómicos del lugar de trabajo.

B).- Cuestionar al operador de dicho proceso.

Interrogar a los operadores del proceso a realizar, algunas de las dudas que surgieron en el paso anterior. Una de las tácticas más importantes son las de tomar en cuenta las opiniones de los operadores para que nos ayuden a realizar de manera más eficaz el proceso de control.

C).- Definición del modelo funcional y las características de operación.

Determinar la arquitectura característica del sistema, describiendola en términos de un modelo entrada-proceso-salida.

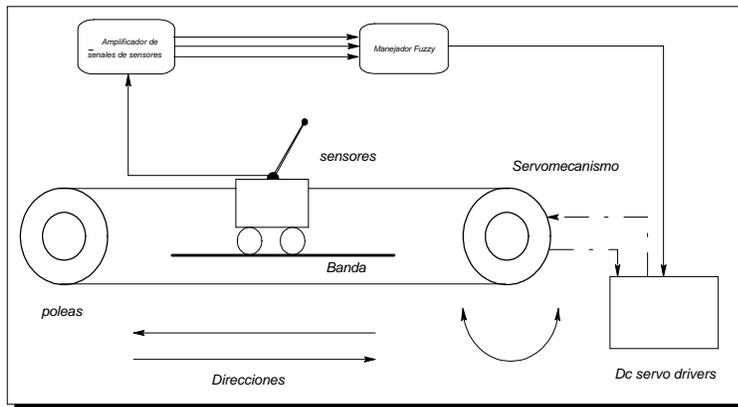
Lógica Difusa para Control Aplicada al Pendulo Invertido

Regresando al ejemplo de péndulo invertido, para mantener el equilibrio del péndulo se debe desplazar el carro de un lado hacia el otro del eje x, para compensar los movimientos del péndulo.

Para la realización de este sistema se considera un motor que realice este proceso. Este motor debe de tener una señal de control como el voltaje, que determina la velocidad y el sentido del giro.

Establecimiento de variables de control:

- 1.- Ángulo teta.
- 2.- Incremento de desplazamiento. Delta del ángulo.
- 3.- El voltaje aplicado al motor, $V_m (+, -)$.



Implantación de un Sistema de Control Difuso con Servomecanismos

Como se observa se tienen dos estados variables Fuzzy y una variable para el control.

- Un primer estado variable Fuzzy es el ángulo del péndulo con la vertical. Se tiene un ángulo nulo cuando el ángulo es cero. Los ángulos positivos se consideran hacia el lado derecho y los negativos hacia el izquierdo con respecto a la vertical , y su intervalo es de -90 a +90 grados.

-Un segundo estado variable, es la velocidad angular de la delta, y se define como la diferencia entre el ángulo presente medido y el ángulo previo medido.

La diferencia de ángulos puede tomar valores positivos y negativos, por lo tanto el intervalo será desde +90 a -90 grados.

-La variable de control Fuzzy será el voltaje del motor V_m . Si el péndulo cae para la izquierda el voltaje será negativo, si está en equilibrio o en posición vertical el voltaje V_m es cero o nulo.

-Se utiliza un motor de +10 volts de C.D.

Variable Intervalo de trabajo o universo de discurso

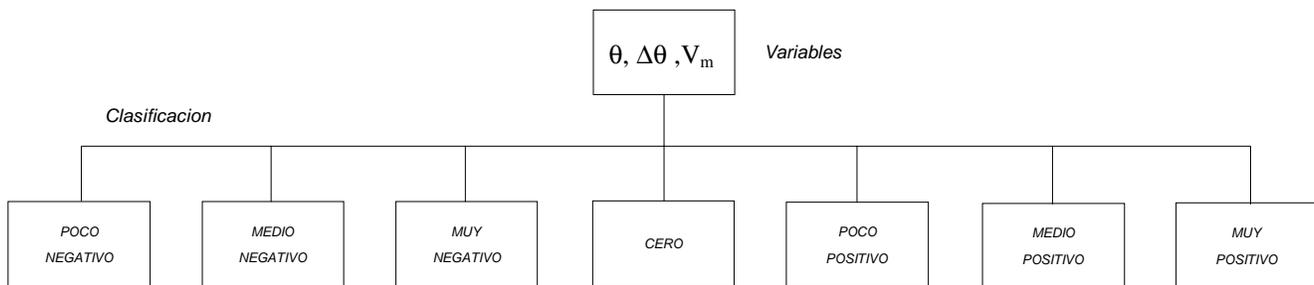
Ángulo $-90 < \text{ángulo} < +90$
 Incremento de ángulo $-90 < \text{ángulo} < +90$
 V_m $-10v < V_m < +10v$

-Variables de control y de estado con sus respectivos intervalos.

D).- Fuzzificar entradas derivadas del proceso.

Se definen la fuente de control y los "Fuzzy Sets" como la asociación de entradas del sistema entre un grupo de clasificaciones cuantitativas. Para este artículo y otros semejantes se continuará empleando el término "fuzzy sets", dado que en el idioma Español no existe una equivalencia directa y universalmente aceptada.

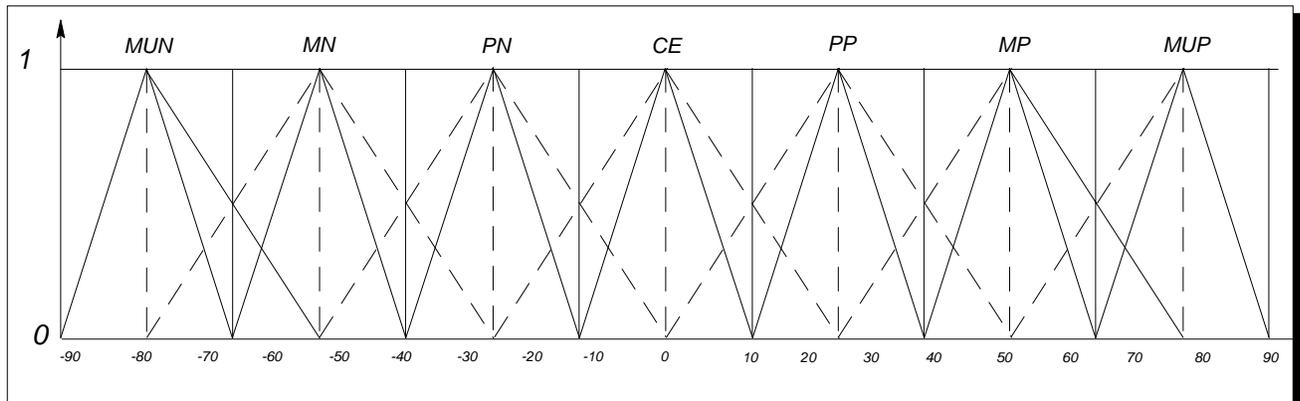
-Clasificación de las variables: ángulo, incremento del ángulo (delta) y V_m .



Aunque se detecta que todas las variables tienen características similares, no todos los sistemas se clasifican así, y pueden tomar valores distintos. Esta clasificación debe de ser graficada. El proceso consiste en representar las variables lingüísticas obtenidas anteriormente con curvas que relacionen entre los fuzzy sets, los valores de ángulo, los incrementos del ángulo (delta) y V_m .

Fuzzy sets	Conjuntos de elementos
MUY NEGATIVO (MUN)	$-90 \leq MUN \leq +90$ grados.
MEDIO NEGATIVO (MN)	$-65 \leq MU \leq -35$ grados.
POCO NEGATIVO (PN)	$-35 \leq PN \leq -10$ grados.
CERO (CE)	$-10 \leq CE \leq 10$ grados.
POCO POSITIVO (PP)	$10 \leq PP \leq 35$ grados.
MEDIO POSITIVO (MP)	$35 \leq MP \leq 65$ grados.
MUY POSITIVO (MUP)	$65 \leq MUP \leq 90$ grados.

-Trazo de las curvas que relacionan Fuzzy sets con valores de variables.



El concepto de Función miembro es el de cada una de las figuras triangulares resultantes del proceso de graficación de las variables.

Relación entre las entradas y salidas del sistema.

Ejemplo: Para el péndulo invertido.

ángulo = -55° grado de miembro MUN de M = 0.2
 MU de M = 0.8

Nota: Los grados de pertenencia de una variable a funciones de miembro complementarias deben de sumar 1.

Cálculo de una función miembro:

$$\text{Pendiente 1} = m_1 = \frac{y_2 - y_1}{x_2 - x_1} = \frac{1 - 0}{-50 - (-77.5)} = 0.036$$

$$\text{Pendiente 1} = m_2 = \frac{y_2 - y_1}{x_2 - x_1} = \frac{1 - 0}{-50 - (-22.5)} = -0.036$$

$$\text{Delta 1} = x - \text{Punto 1} = -55 - (-77.5) = 22.5$$

$$\text{Delta 2} = \text{Punto 2} - x = -22.5 - (-50) = 27.5$$

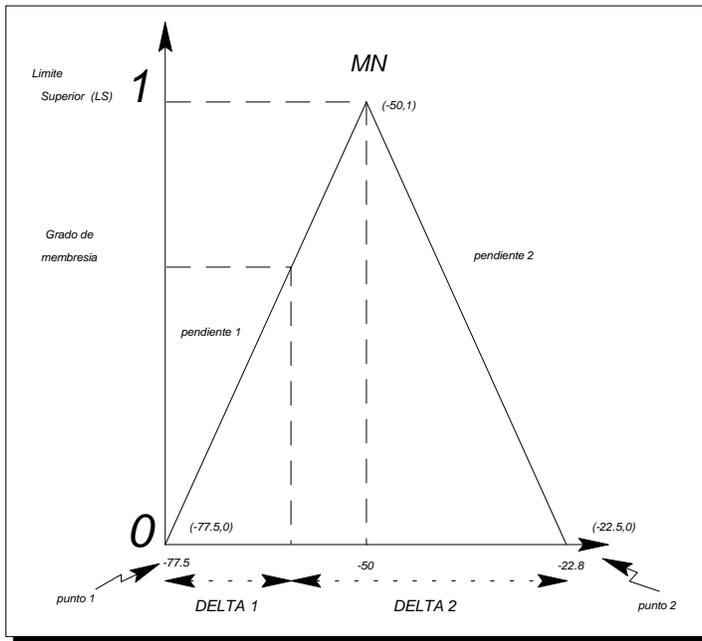
$$\begin{aligned} \text{Grado de Miembro} &= \text{valor m nimo de } (\text{delta1} * m_1, \text{delta2} * m_2, \text{LS}) \\ &= \text{valor m nimo de } ((22.5)(0.036), (27.5)(0.036), 1) \\ &= \text{valor m nimo de } (0.81, 0.99, 1) \\ &= 0.81 \end{aligned}$$

$$\therefore M = 0.81$$

E).- Producción de reglas de control.

Definición del comportamiento de las fuentes de control. (condición - acción), (si-entonces).

-Generalmente, el número de reglas Fuzzy esta relacionado con un número de variables de control.



El sistema de péndulo invertido tiene dos controles variables: el ángulo y la velocidad angular; Sin embargo, se eligieron 7 regiones Fuzzy, lo que da un total de $7 * 7 = 49$ combinaciones de entrada, por lo que el sistema requiere de 49 reglas Fuzzy para controlar el péndulo eficientemente.

F).- Desarrollo de reglas de inferencia.

Establecimiento de fórmulas, las cuales son decisiones lógicas a través de la evaluación de reglas fuzzy determinando las salidas.

I.- Reglas Fuzzy. (Establecimiento)

- Regla 1: Si (ángulo= CE) y (Incremento del áng. = CE) entonces (Vm = CE).
- Regla 2: Si (ángulo= CE) y (incremento del áng. = PN) entonces (Vm = PN).

Regla 3: Si (ángulo= CE) y (incremento del áng. = MN) entonces (Vm= MN).

...

Regla 8: Si (ángulo= PN) y (incremento del áng. = CE) entonces (Vm = PN).

...

Regla 49: Si (ángulo= MUN) y (incremento del áng. = MUP) entonces (Vm= CE).

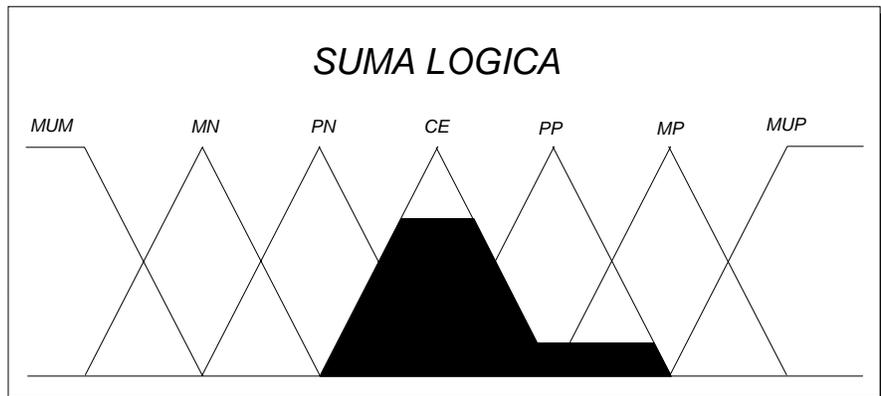
El formato anterior ejemplifica la representación de las reglas Fuzzy.

II.-Producto lógico

Valor mínimo de todos los grados de membresía. En la Regla 1 es de 0.81 de ángulo.

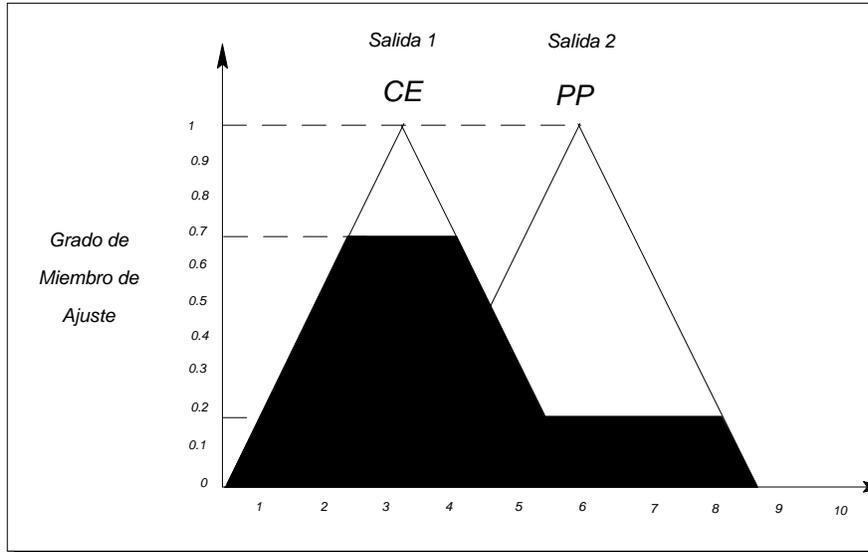
III.- Suma lógica

Combina los resultados de las reglas. El área sombreada es el resultado para los valores de entrada (ángulo = -30° e incremento = 30°).



G).- Defuzzificación de salidas para el control

Proceso mediante el cual el resultado obtenido, en el proceso de inferencia es transformada en un valor numérico.



1.- Ejemplo utilizando el método de centro de gravedad.

- a) Determinar un punto central sobre el eje x. para cada función de miembro de salida.
- b) Se toma en cuenta el grado de miembros de ajustes, obtenido con el producto lógico para cada función de miembro.
- c) Se calculan las áreas de las funciones de miembro.
- d) Finalmente la salida de fuzzificación es derivada de un término promedio o término pesado de los puntos centrales del eje x y las areas calculadas.

Defuzzificación:

Salida 1

- a) Eje-x; punto central = 2.75
- b) Grado de ajuste = 0.7
- c) Área sombreada

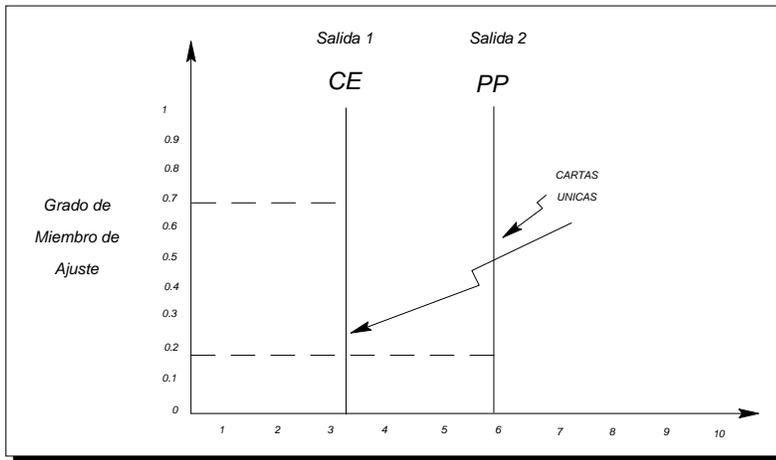
$$A_1 = \left(\frac{5.5 + 1.7}{2} \right) 0.7 = 2.52$$

Salida 2

- a) Eje-x; punto central = 5.5
- b) Grado de ajuste = 0.2
- c) Área sombreada

$$A_2 = \left(\frac{6 + 4.8}{2} \right) 0.2 = 1.08$$

d) Termino medio pesado =
$$\frac{(A_1 * \text{punto central 1}) + (A_2 * \text{punto central 2})}{A_1 + A_2} = 3.5$$



2.- Ejemplo utilizando el método de las cartas únicas.

Se simplifica el proceso de defuzzificación de la función miembro de salida, el cual representa una sola línea vertical que interseca al eje x en un solo punto. El cálculo del centro de gravedad se reduce al cálculo del término promedio de los puntos centrales del eje x y los grados de ajuste.

Defuzzificación:

Salida 1

- a) Eje-x; punto central (PC1) = 2.75
- b) Grado de ajuste (GA1) = 0.7

Salida 2

- a) Eje-x; punto central (PC2)= 5.5
- b) Grado de ajuste (GA2)= 0.2

$$c) \text{ Terminio medio pesado} = \frac{(GA1 * PC1) + (GA2 * PC2)}{GA1 + GA2} = 3.3$$

Referencias

- [1] Zadeh, L.A., 1968, "FUZZY algorithm", informe y control, vol. 12, pag. 94-102.
- [2] Tang, K.L., and Mulholland, R.J., 1987, "Comparing FUZZY logic with classical controller design".
- [3] H. J Zimmerman, "Fuzzy sets theory & it's application".
- [4] Katsuhiko Ogata, "Ingeniería de Control Moderna".
- [5] José Solar González, "Cinemática y dinámica para ingenieros".
- [6] Dennis G. Zill, "Ecuaciones Diferenciales".
- [7] James G. Holbrook, "Transformadas de Laplace para Ingenieros en Electrónica".

