

Generador de Patrones de Televisión

*C. José Anibal Arias Aguilar
C. Osvaldo Espinosa Sosa
Alumnos de la Maestría del CINTEC.*

*M. en C. Juan Carlos González Robles
Jefe del Departamento de Producción.*

A continuación se describe el diseño de un circuito generador de patrones de televisión, el cual genera una señal de video compuesto que permite hacer pruebas de ajuste en un tubo de rayos catódicos ("Catode Ray Tube", CRT).

Introducción

Un CRT produce una imagen de video mediante la proyección y barrido de un haz de electrones sobre una pantalla cubierta con fósforo. Para la exploración de una imagen por el haz de electrones en un CRT se desvía el haz de su trayectoria a un lado y otro de la capa fotoconductora y, al mismo tiempo, se le hace descender, de forma que la recorra por completo.

Existen dos formas de desviar un haz de electrones de su trayectoria: una mediante un campo eléctrico, y otra mediante un campo magnético. La desviación por campo eléctrico está basada en el principio de que cargas eléctricas del mismo signo se repelen y cargas eléctricas de signo opuesto se atraen.

La desviación por campo magnético se basa en el principio de que toda corriente eléctrica viene acompañada de un campo magnético, y que en éste polos del mismo signo se repelen y polos de signo opuesto se atraen.

Así, si se somete un haz de electrones procedente del cátodo de un tubo de rayos catódicos a la influencia de un campo eléctrico o magnético, éste se desplazará de su trayectoria en mayor o menor grado y en un sentido o en otro, según sea el sentido e intensidad de dichos campos.

Barrido Horizontal y Vertical

Como un punto arbitrario de la pantalla a un momento determinado en el tiempo, se asume que el haz de electrones está localizado en la esquina superior de la pantalla (**Figura 1**). Bajo la influencia electromagnética del yugo de deflexión horizontal, el haz es movido de izquierda a derecha de la pantalla. Al mismo tiempo, bajo la influencia del yugo vertical es impulsado hacia abajo, produciendo una línea de barrido visible moviéndose hacia abajo al extremo derecho. En este punto, el haz es movido rápidamente al extremo izquierdo de la pantalla, produciéndose retraso horizon-

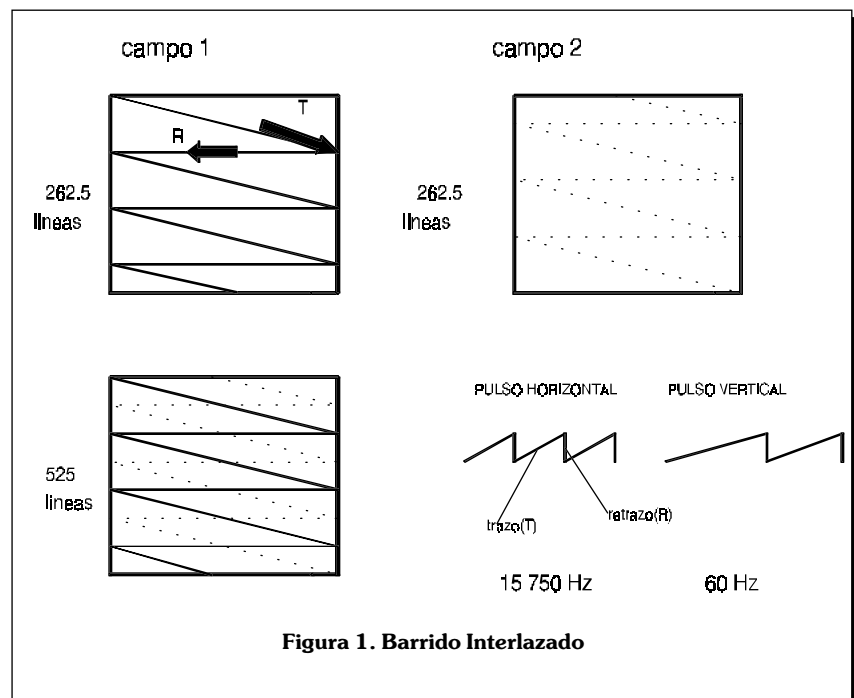


Figura 1. Barrido Interlazado

tal. Las líneas de retraso no son vistas en la pantalla.

Después de 262.5 líneas barridas, la influencia magnética del yugo vertical se invierte y hace que el haz retorne a la parte superior y *continúe* su movimiento hacia la derecha y abajo. Al siguiente retraso vertical tenemos lo siguiente: antes del primer retraso se originaron líneas de barrido «pares», y durante el segundo líneas «impares». Los dos tipos de líneas son entrelazadas, lo cual resulta en una trama de 525 líneas que barren cada elemento de imagen en la pantalla.

La frecuencia de barrido vertical monocromo es de 15,760 Hz (para color es de 15,736 Hz). La frecuencia vertical es de 60 Hz. Como existen dos campos por cada trama, la velocidad de repetición de la imagen es de 30 por segundo -lo suficientemente rápido para prevenir el parpadeo.

Señal de imagen. Sincronía.

Para generar la señal de video, la escena o imagen a transmitir es reproducida sobre la placa fotoconductora de un tubo explorador de imagen. En este tubo dicha imagen se transforma en impulsos eléctricos; es decir, durante el proceso de exploración se convierten las diferencias de iluminación de la imagen en diferencias de voltaje que aparecen a la salida del tubo de exploración.

La correspondencia entre los valores de tensión obtenidos y los valores de iluminación dependen de la clase de tubo utilizado en la cámara y de su circuito externo. Así, en algunos tubos el voltaje de salida puede ser elevado cuando se explora un punto de imagen oscuro y bajará cuanto mayor sea la iluminación del punto de imagen. En otros

tubos sucede exactamente lo contrario.

En general, las imágenes que se transmiten son complejas, por lo que se generan formas de onda de voltaje complejas según el nivel de iluminación de cada punto. En la **figura 2 (a)** se muestra una señal de video, donde se observa que el tiempo de exploración horizontal es de 52 ms y el tiempo de retraso es de 12 ms. En el tiempo de retraso aparece, como es lógico, un voltaje de salida que resulta indeseado y por ello se elimina mediante un impulso de bloqueo. Durante este tiempo el tubo explorador suministra un voltaje cuyo valor corresponde al límite del negro.

Durante el transcurso del periodo de retraso de línea se mezcla, además, un impulso de sincronización de líneas Z, el cual anuncia al receptor la transmisión de la próxima línea. De esta forma la explora-

ción de líneas en el receptor se inicia de forma sincrónica con la exploración de líneas en el tubo de la cámara del emisor.

Este impulso de sincronización de líneas se halla superpuesto al límite de negro que se presenta durante el tiempo de retroceso. Así, si al voltaje máximo del impulso de sincronización de líneas Z se le asigna el valor de 100%, entonces resulta que el límite del negro está al 75% y el límite del blanco al 10% de dicho valor. Entonces es válido decir que el impulso de sincronización es más negro que el negro. Cuando el haz electrónico explorador del tubo de imagen en el centro emisor llega al borde inferior de dicha imagen, entonces debe añadirse una señal de sincronización para el retroceso de imagen, es decir una señal de sincronización que haga que el punto explorador retorne rápidamente al borde superior de la pantalla.

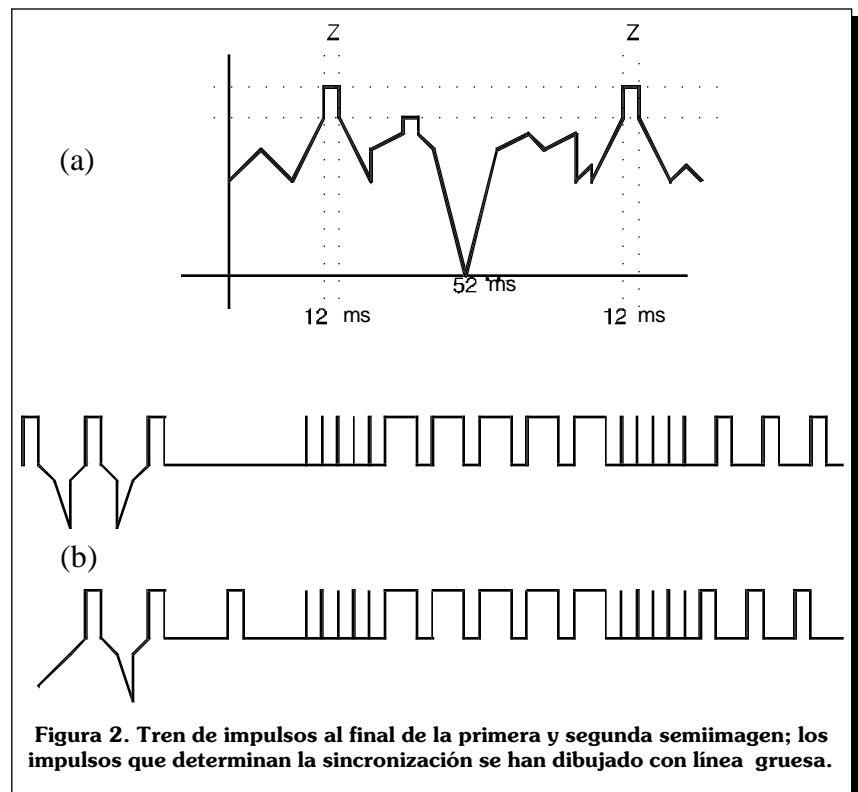


Figura 2. Tren de impulsos al final de la primera y segunda semiimagen; los impulsos que determinan la sincronización se han dibujado con línea gruesa.

Dado que el retroceso de imagen dura por lo menos 20 veces el tiempo invertido en el retroceso de una línea, resulta que para esta señal de sincronía se dispondrá de mucho más tiempo que para el retroceso de línea. Por estos motivos el cambio de imagen se anuncia con unos largos impulsos marcados con Y en la **figura 2 (b)**, los cuales tienen una duración total de 144 ms. Como se observa, esta duración es bastante más larga que la del impulso de líneas Z, que tan sólo dura 6 ms.

Para que durante los impulsos de imagen no se pierda la sincronización de las líneas, se añaden impulsos de línea sobre los impulsos de imagen Y. Así, en la parte superior de la figura 2 (b) se puede ver la sucesión de impulsos originados por el retroceso de imagen al final de la primera semiimagen. Antes y después de los impulsos de sincronización de imagen Y se dispone una serie de impulsos muy cortos de compensación designados como impulsos precursores YP e impulsos sucesores YS.

Estos impulsos precursores y sucesores evitan que los impulsos de imagen en el receptor no queden influenciados por los impulsos de línea. Volviendo a la figura 2 (b), en ella se puede observar que los impulsos de sincronización de imagen son los mismos en ambas semiimágenes, con la única diferencia de que el principio de la segunda semiimagen está desplazado media línea con respecto a la primera semiimagen con el fin de obtener la exploración entrelazada.

Descripción del Circuito

La importancia de este circuito radica en que se usó un dispositivo MAPL/128 (Arreglo múltiple de ló-

gica programable), que ofrece la ventaja de sustituir a múltiples dispositivos de lógica tradicional o lógica programable; debido a esto disminuye el área física de la tarjeta del circuito impreso se reduce el consumo de corriente de la fuente de poder empleada.

Características del MAPL.

El MAPL/128 pertenece a la tecnología EECMOS y posee una arquitectura de arreglos lógicos programables integrando múltiples FPLA'S (Arreglo lógico programable en campo), lo que permite facilitar el diseño de máquinas de estado, controladores, secuenciadores de microinstrucciones, interfaces y en general cualquier diseño lógico secuencial. Las características que posee son las siguientes:

- Alta densidad, con arquitectura PLA.
- Velocidades de operación de 33, 40 y 45 MHz.
- Bajo consumo de potencia.
- Borrable eléctricamente.
- 100% de funcionalidad de prueba.
- Lógica reconfigurable instantáneamente.
- Capacidad mínima de 100 ciclos de programación-borrado.
- 27 macroceldas con registros tipo DE, JK, RS o T.
- Precarga asíncrona, y capacidad de reinicio.
- Soportado por OPAL y por software popular dedicado al tema.

La arquitectura MAPL es funcionalmente equivalente a un FPLA grande, teniendo un total de 128 productos términos. En realidad, el MAPL/128 tiene ocho planos o páginas FPLAS, consistiendo cada página de un arreglo AND y un arreglo OR, ambos programables.

Cada arreglo AND posee 58 entradas y 16 términos producto, los cuales pueden conectarse a cualquiera de las 54 sumas de términos, por lo que cada página tiene una configuración de 58 X 16 X 54.

Tres registros internos manejan la paginación, teniendo una página activa en un momento dado. Al igual que los demás registros internos, estos pueden usarse también para almacenar bits.

Las páginas se seleccionan en el momento de la aplicación; las salidas de las macroceldas son controladas por reloj y también lo son los registros de página. Lo anterior tiene el efecto de preseleccionar la página donde se encuentra el siguiente estado lógico. Debido a que el dispositivo posee arquitectura PIPELINE, la siguiente página no acumula retardo, con lo que la paginación aparece transparente al usuario.

En general, los dispositivos MAPL incluyen una estructura de macrocelda flexible, configurable por el usuario. La misma macrocelda registrada se emplea para las funciones de salida, retroalimentación o entrada/salida. Cada macrocelda puede ser configurada como registro JK o D; ambos tipos se implementan en hardware y no requieren transformaciones por software o por lógica tradicional. Todas las macroceldas se sincronizan por el flanco de subida de la señal de reloj.

Las macroceldas de salida presentan una señal de habilitación (OE) que permite llevar al dispositivo a un estado de alta impedancia. Es posible utilizar esta terminal en la función indicada o como entrada al arreglo AND; además se tiene que las macroceldas de salida pueden ser configuradas como activas en alto o en bajo.

Circuito Generador de Patrones.

El circuito consta de un oscilador que provee la señal de frecuencia principal (4 MHz). Este circuito alimenta al MAPL, que la usa para dividirla siete veces. La cuarta división (250 KHz) es alimentada a un contador binario de 12 bits 74HC4040, que la divide a su vez doce veces. Estas divisiones son retroalimentadas al MAPL. Las cuatro señales que el MAPL genera internamente y las doce alimentadas por el contador son utilizadas para que, mediante algunas operaciones lógicas sencillas, produzca las señales de prueba.

Existe otro circuito oscilador de muy baja frecuencia, el 555, que tiene una frecuencia variable. Este circuito alimenta a un contador binario de 4 bits con memoria 4520, cuyas cuatro salidas son alimentadas al MAPL, que las usa para multiplexar los dieciséis efectos generados, de los cuales 6 se muestran en la **Figura 4**. Diez de las entradas del contador 4040 son utilizadas por el MAPL para generar las señales de sincronía vertical y horizontal, de 15 KHz y 60 Hz, respectivamente.

La salida con los efectos de prueba multiplexados y la señal con las sincronías se mezclan en una etapa analógica de salida que da como resultado una señal de video compuesto. La **figura 3** contiene el diagrama esquemático del circuito. A continuación se muestra el código de programación del MAPL.

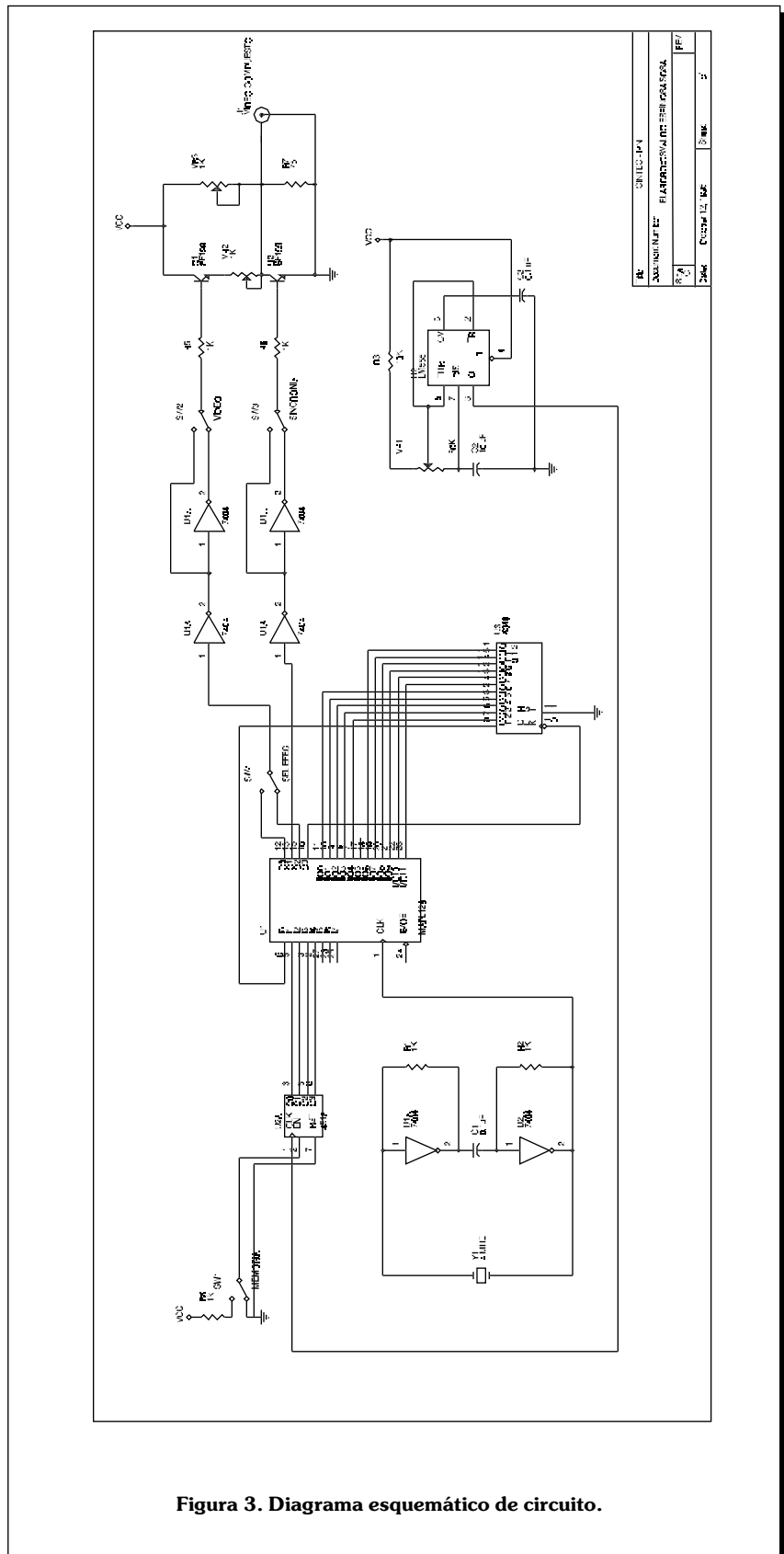
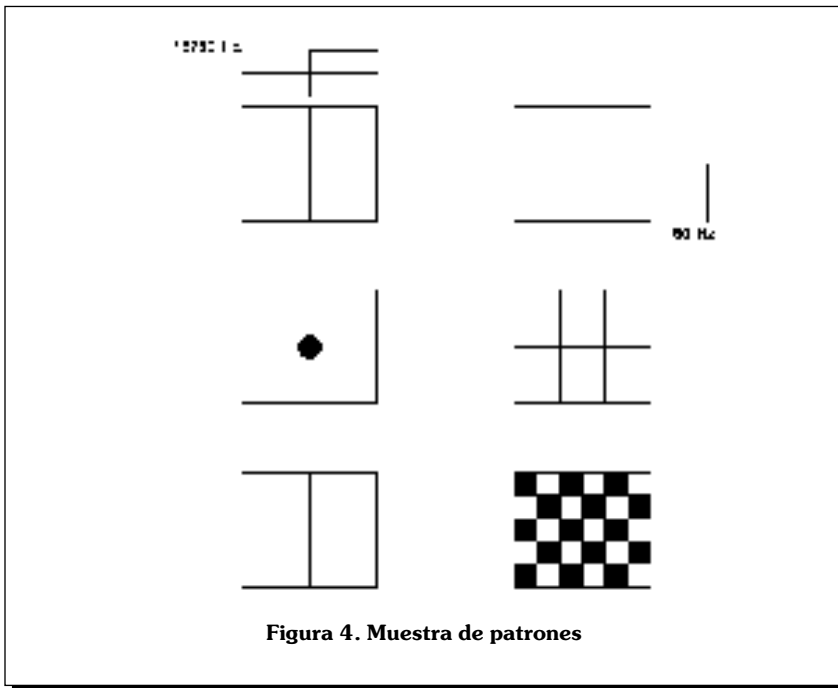


Figura 3. Diagrama esquemático de circuito.



```

begin header
  IPN-CINTEC
  autor: OSVALDO ESPINOSA SOSA
  Circuito generador de patrones.
end header

begin definition

  device MAPL128 ;
  input CLK ;
  inputs sel1=5, sel2=4, sel3=3, sel4=2,
  qd1=6, qd2=7, qd3=8, qd4=9, qd5=10,
  qd6=11, qd7=23, qd8=22, qd9=21, qd10=20,
  qd11=19, qd12=18 ;
  feedbacks (jk, hold, buried) qc1=29, qc2=30,
  qc3=31, qc4=32, qc5=33, qc6=34, qc7=35 ;

  outputs sal1=12, sal2=13, sal3=15, sal4=16 ;
  set selec = [ sel1,sel2,sel3,sel4 ] ;

end definition

begin equations

  inter1 = qc1 * qc2 * qc3 * qc4 ;
  E0 = inter1 * qc5 * qc6 * qc7 ;
  inter2 = qd5 * qd6 * qd7 * qd8 ;
  E1 = inter2 * qd9 * qd10 * qd11 ;
  E2 = E0 + E1 ;
  E3 = E0 * E1 ;
  
```

```

  E4 = inter1 ;
  inter3 = qd5 * qd6 * qd7 ;
  E5 = inter3 * qd9 * qd8 ;
  E6 = inter1 + E5 ;
  E7 = inter1 * E5 ;
  {
    inter4 = ( qd3 * /qd4 ) + ( /qd3 * qd4 ) ;
    inter5 = ( qd11 * /qd12 ) + ( /qd11 * qd12 ) ;
    E8 = inter4 + inter5 ;
    E9 = inter4 * inter5 ;
    inter6 = ( qd1 * /qd10 ) + ( /qd1 * qd10 ) ;
    E10 = E9 * inter6 ;
    E11 = inter6 ;}
  E12 = qd5 ;
  E13 = qd9 ;
  E14 = qd5 + qd9 ;
  {
    E15 = qd5 * qd9 ;
  }
  sal1 := E0 * ( selec == 0 )
  + E1 * ( selec == 1 )
  + E2 * ( selec == 2 )
  + E3 * ( selec == 3 )
  + E4 * ( selec == 4 )
  + E5 * ( selec == 5 )
  + E6 * ( selec == 6 )
  + E7 * ( selec == 7 ) ;
  sal3 := E13 * ( selec == 13 )
  + E12 * ( selec == 12 )
  + E14 * ( selec == 14 ) ;
  sal4 := qc4 ;
  inter7 = qd1 * qd2 * qd3 * qd4 ;
  
```

```

inter8 = qd7 * qd8 * qd9 * qd10 ;
sal2 := inter7 + ( inter8 * qd11 * qd12 ) ;

end equations

begin truth_table

ttin qc1,qc2,qc3,qc4,qc5,qc6,qc7 ;
ttout qc1,qc2,qc3,qc4,qc5,qc6,qc7 ;

——— ———!
———1 ——!-
——11 ——!—
——111 ——!—
—1111 ——!——
—11111 ——!——
-111111 !———

end truth_table

begin vectors

CLK, sel1, sel2, sel3, sel4, qd1, qd2, qd3, qd4, qd5,

```

```

qd6, qd7, qd8, qd9, qd10, qd11, qd12 ;

c 0100 000000000000
c 0100 000000000001
c 0100 000000000010
c 0100 000000000011
c 0100 000000000100
c 0100 000000000101
c 0100 000000000110
c 0100 000000000111
c 0100 000000001000
c 0100 000000001001
c 0100 000000001010
c 0100 000000001100
c 0100 000000001101
c 0100 000000001110
c 0100 000000001111
c 0100 000000010000
c 0100 000000010001
c 0100 000000010010
c 0100 100000010011

end vectors

```

Bibliografía

Enciclopedia de la radio, Televisión y Hi-Fi. Francisco Ruiz Vasallo. Ediciones CEAC.

MAPL Design Guide. National Semiconductor. 1993.

OPAL, Software User's Manual. National Semiconductors. 1993.