

Arreglos de compuertas programables en campo, FPGA's. (compendio)

*M. en C. Juan Carlos González Robles.
Jefe del Departamento de Producción
y Adecuación de Tecnologías del
CINTEC-IPN.*

*Ing. Eduardo Vega Alvarado.
Jefe del Departamento de Laborato-
rios Ligeros del CINTEC-IPN.*

El presente artículo pretende continuar con una serie de publicaciones relacionadas con el tema del diseño en base a la lógica programable. En esta ocasión se describe a los Arreglos de Compuertas Programables en Campo ("Field Programmable Gate Array", FPGA).

Introducción

Las arquitecturas FPGA's surgen como respuesta a la necesidad del diseñador de obtener mayor funcionalidad en un solo dispositivo programable. A pesar de ser dispositivos programables, los FPGAs se distinguen de los Dispositivos de Lógica Programable ("Programmable Logic Devices", PLD), en el hecho de que requieren estrategias de implementación completamente distintas, así como por el uso de arquitecturas que no se basan en Arreglos Lógicos Programables ("Programmable Logic Array", PLA).

Características de los FPGA's

Esencialmente, los FPGA's es-

tán compuestos por elementos con recursos no comprometidos que pueden ser seleccionados, configurados e interconectados; el PLD no requiere del proceso de interconexión dado que sus elementos internos (registros, arreglos lógicos y macroceldas de E/S) son fijos en relación de unos con otros.

Los FPGA's actualmente en uso presentan algunas características fundamentales, entre las que destacan:

- Todos estos dispositivos están compuestos de un cierto número de módulos lógicos relativamente independientes entre sí, que pueden interconectarse para formar un circuito mayor; estos módulos pueden ser grandes bloques configurables o pequeños elementos de función fija formados por algunas compuertas.

- El tamaño óptimo de los módulos lógicos y los requerimientos de interconexión son completamente dependientes del tipo de aplicación que se desea implementar en el dispositivo. Por ejemplo, una aplicación compuesta de estructuras regulares o semi-independientes puede implementarse en forma más eficiente en un FPGA con módulos lógicos grandes, mientras que si se tiene un diseño en el que predominen funciones lógicas aleatorias interrelacionadas

se puede emplear un dispositivo con menos módulos y más recursos de interconexión.

- Los módulos en un FPGA se interconectan por medio de canales configurables, mediante un proceso conocido como enrutamiento. El enrutamiento consiste básicamente en determinar, ya sea en forma manual o a través de herramientas de cómputo, una estrategia de interconexión eficiente.

- El rango en tamaño de los FPGA's abarca desde 1,200 hasta 20,000 compuertas equivalentes, mientras que en los PLD's es desde algunos cientos hasta 2,000 compuertas. Dado que los FPGA's se están incrementando constantemente en cuanto a densidad, se puede esperar que sus aplicaciones típicas serán en orden de magnitud más compleja que para un simple PLD.

Familias de FPGA's.

Existen diferentes tipos de FPGA's; cada una de estas familias presenta una arquitectura única, y también difieren en sus tecnologías básicas de fabricación. La aparición de mayores densidades de componentes en los FPGA's a motivo al desarrollo de nuevas tecnologías de programación para estos dispositivos, mientras que en todos

los PLD's se han adoptado los métodos de programación de PROM's y EPROM's (fusibles bipolares programables una sola vez o celdas CMOS borrables). A continuación se describen algunas de las familias más representativas de estos dispositivos:

Arreglo de Celdas Lógicas (LCA's).

La primer familia de FPGA's fue anunciada en 1984 por Xilinx Corporation. Los dispositivos, llamados Arreglos de Celdas Lógicas ("Logic Cell Array", LCA), se manufacturan usando un proceso de producción CMOS de alta velocidad. Como todos los FPGA's, los LCA's no se basan en un simple arreglo lógico programable, sino que se componen de pequeños módulos, los cuales son elementos lógicos programables conocidos como Bloques Lógicos Configurables ("Configurable Logic Block", CLB). La **figura 1** muestra el diagrama a bloques de la arquitectura LCA, ejemplificando al dispositivo Xilinx XC2064, que está compuesto de 64 CLB's de propósito general, cada uno de los cuales es capaz de implementar ya sea dos funciones lógicas de tres entradas, o una función simple de cuatro o cinco entra-

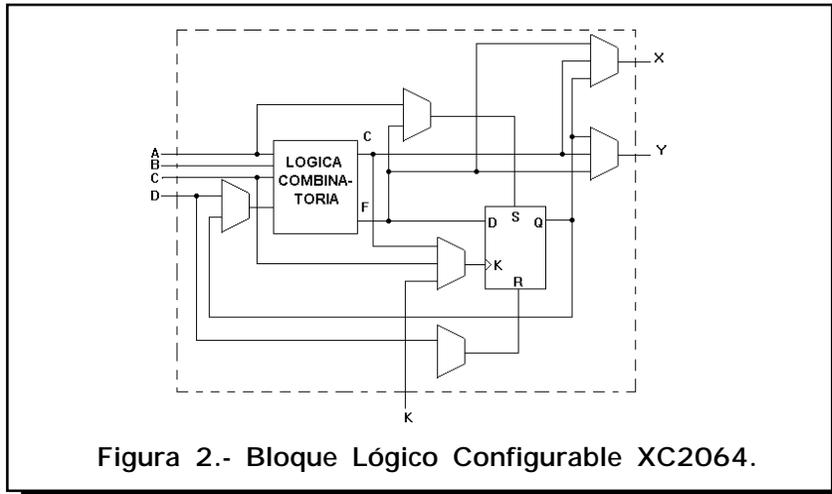


Figura 2.- Bloque Lógico Configurable XC2064.

das. Estos CLB's son similares a una pequeña PROM conteniendo además un flip-flop y lógica de retroalimentación. Cada CLB contiene un elemento de memoria en la forma de un flip-flop configurable que puede utilizarse como un latch transparente o un flip-flop tipo D disparado por flanco.

Las celdas lógicas de propósito especial, llamadas bloques de E/S ("I/O Block", IOB), son arreglos colocados alrededor del dispositivo, cada uno de los cuales puede ser configurado para usarse como una entrada, una salida en tercer estado, o una terminal de E/S bidireccional. Los IOB's pueden configurarse además con flip-flops y ser

accesados por los CLB's internos para funciones distintas a E/S. Estas celdas configurables se arreglan tal como se muestra en la **figura 1**, y pueden ser interconectadas a través del uso de canales de enrutamiento programable. Como cada CLB del LCA XC2064 es capaz de implementar funciones de complejidad limitada, los recursos de interconexión requeridos son consecuentemente grandes (como se muestra en la **figura 2**). La ubicación de las funciones lógicas en los CLB's y la determinación del enrutamiento de interconexión son los problemas principales de diseño para los usuarios de LCA's.

Los métodos de programación usados en el LCA también difieren a los del tradicional PLD; su esquema de programación se basa en la tecnología RAM estática. El dispositivo se carga con un patrón de configuración al instalarse en el circuito. Mediante esto, las configuraciones nuevas se pueden programar fácilmente en el dispositivo mientras está en operación en el sistema. En la mayoría de los casos, el patrón de programación del LCA se almacena en una configuración PROM instalada en la tarjeta simultáneamente con el dispositivo LCA. La configuración PROM es leída automáticamente por el LCA al encender el sistema.

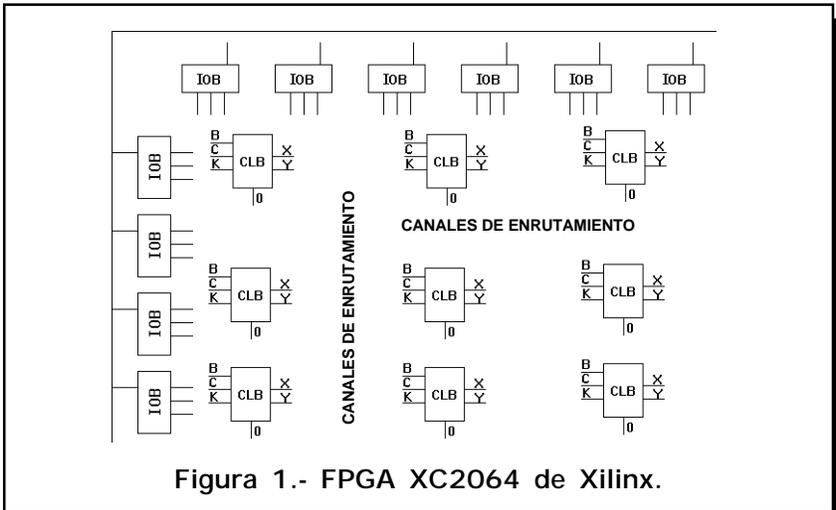


Figura 1.- FPGA XC2064 de Xilinx.

Los LCA presentan la más alta velocidad en sus flip-flops (hasta 100 MHz en el cambio de estado), pero generalmente no son adecuados para aplicaciones de alta velocidad debido al retraso inherente en la matriz de interconexión, dado que incluyen elementos no metálicos, resultando en señales retardadas. El retardo total del circuito es difícil de predecir, siendo dependiente del enrutamiento de las señales de interconexión.

Dispositivos ACT

En 1988, la compañía Actel liberó una nueva familia de dispositivos basados en tecnología CMOS, cuya arquitectura se sitúa en el rango de 3,000 a 6,000 compuertas equivalentes. Estos FPGA's, denominados como ACT, están compuestos por renglones de bloques lógicos no comprometidos separados por canales de enrutamiento, tal como se muestra en la figura 3.

Los módulos lógicos consisten de tres multiplexores de dos a uno y una compuerta OR, formando un arreglo como el que se muestra en

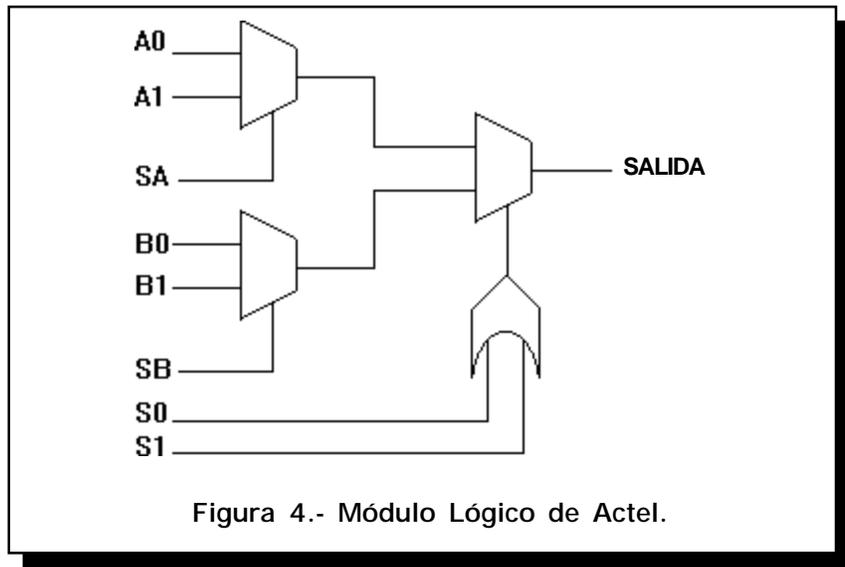


Figura 4.- Módulo Lógico de Actel.

la figura 4. Debido a su simplicidad, estos módulos son más generales que los CLB's que conforman a los LCA's, teniendo cada uno ocho entradas y ningún registro interconstruido. Ya que los registros se construyen a partir de los módulos lógicos básicos (uno o dos módulos pueden teóricamente implementar un flip-flop de cualquier tipo), pueden aplicarse únicamente donde sean necesarios, por lo que no hay flip-flops sobrantes o desperdiciados.

A diferencia de los módulos lógicos LCA, los cuales son interna-

mente configurables, los elementos de Actel se configuran conectando los módulos lógicos de entrada a los canales de interconexión y fijando los módulos restantes de entrada a niveles altos o bajos. Esta arquitectura es muy similar a los arreglos lógicos programados por máscara, y permite al dispositivo el implementar una gran variedad de circuitos.

Sin embargo, el uso de módulos lógicos menos complejos tiene un precio; dado que los módulos de Actel son de un tamaño relativamente pequeño y son configurados exclusivamente a través de sus interconexiones con otros módulos, forzosamente deben dedicar una gran parte de su área para interconexiones internas. Para resolver este problema, se utiliza un solo elemento compacto de programación, el cual se denomina Elemento Programable de Circuito de Baja Impedancia ("Programmable Low Impedance Circuit Element", PLICE). A diferencia de los fusibles establecidos en las PROM's y PLD's, éste no está conectado en su estado original, sino hasta el momento en que es programado, por lo que se conoce también como antifusible.

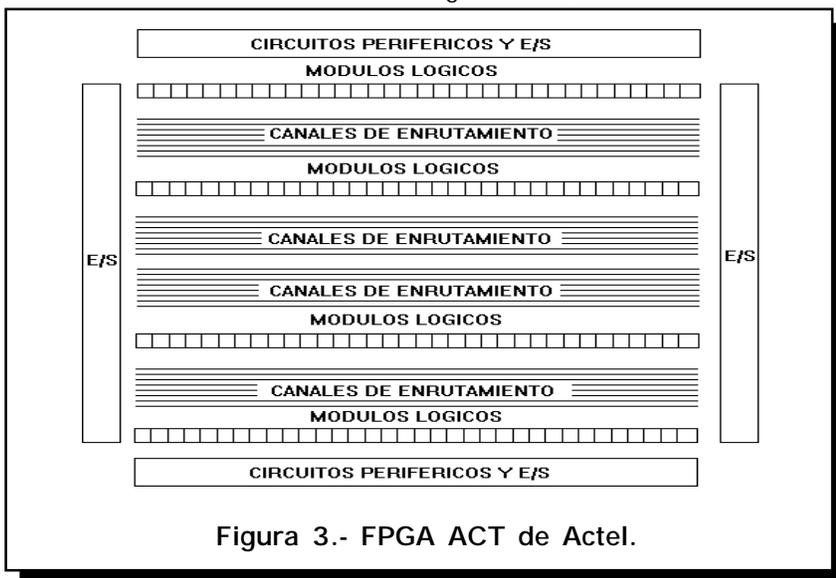


Figura 3.- FPGA ACT de Actel.

La tecnología antifusible presenta una alternativa importante, dado que su elemento de programación es extremadamente pequeño siendo aproximadamente 50 veces menor que los elementos RAM estáticos establecidos en los LCA's y 10 veces en relación con una celda CMOS EPROM. Como desventaja se tiene el hecho de que no son borrables y por lo tanto no pueden probarse antes de ser programados.

La naturaleza no reprogramable de este dispositivo, aunado con su relativo alto precio, se ha constituido en una barrera muy importante para la comercialización del mismo. Para algunas aplicaciones, la velocidad es el primer factor que afecta la decisión y, en esta área, los dispositivos de Actel tienen la delantera; ya que las trayectorias de interconexión son todas metálicas y los retardos inherentes son menores que las trayectorias de las señales de los LCA's.

Arreglo Reconfigurable Eléctricamente

Un reciente ingreso al campo de los FPGA's es el circuito Arreglo Reconfigurable Eléctricamente ("Electrically Reconfigurable Array", ERA), desarrollado por Plessey Semiconductors; este dispositivo es similar en algunos aspectos al Arreglo de Celdas Lógicas. El primer dispositivo ERA contenía 10,000 compuertas equivalentes, y actualmente se hallan disponibles circuitos de hasta 100,000 compuertas.

Como los LCA's, el ERA está basado en tecnología RAM estática, pudiendo ser reprogramados al momento de operación. Esto significa que un segmento de lógica dentro del ERA puede, teóricamente, controlar la reconfiguración dinámica de un segmento distinto del

dispositivo; así mismo, éste se encuentra formado por un gran número de compuertas NAND de dos entradas, en lugar de más bloques lógicos complejos. Si la aplicación requiere más funciones complejas, tales como flip-flops, estas funciones deben ser construidas fuera de la estructura básica NAND.

El ERA tiene, además de su arreglo central de compuertas NAND, una serie de 84 celdas configurables para fines de E/S. Cada uno de los módulos de arreglos de compuertas puede usarse ya sea para propósitos lógicos o para enrutamiento de interconexión. Para proporcionar mayor eficiencia en el enrutamiento de las señales en el arreglo, el dispositivo tiene un bus configurable de 10 líneas rodeando al arreglo principal; este puede usarse para enrutar las señales de una sección a otra del arreglo, o hacia y desde las celdas de configuración de E/S o los bloques fijos de E/S.

La simplicidad del dispositivo ERA permite un uso más eficiente del dispositivo que el disponible en el LCA, pero esta ventaja en eficiencia puede ser una pérdida debido a la mayor necesidad de interconectar circuitos en el dispositivo. Las interconexiones en el ERA se enrutan a través de los mismos módulos lógicos, por lo que para mayores requerimientos de interconexión se dispone de un menor número de compuertas NAND.

Transición de los diseños en PLD's a FPGA's

Las altas densidades de los dispositivos FPGA's, aunado con su programación directa por el usuario, hace de ellos una alternativa importante para aplicaciones de ingeniería basadas en diseños de PLD's; sin embargo, existen algu-

nas diferencias entre PLD's y FPGA's que deben tomarse en cuenta.

Lo primero es entender las limitaciones de cada arquitectura y cómo dichas limitaciones afectan a los diseños que son originalmente pensados para una arquitectura. El mayor limitante cuando se diseña con PLD's es el número relativamente bajo de salidas y flip-flops disponibles. Se puede pensar en los PLD's generalmente como dispositivos carentes o con pocos registros, y con una cantidad considerable de entradas lógicas (aunque sí el diseño requiere lógica multinivel, los PLD's sencillos son bastante limitados incluso en este aspecto). Un FPGA, en cambio, puede tener un mayor número de registros, mientras que la lógica de entrada para estos registros es limitada; esto es particularmente cierto en los dispositivos LCA. Mientras que una salida de un PLD puede tener la capacidad de implementar una ecuación con 20 o más entradas, esta misma ecuación representada en un LCA puede requerir hasta 7 de los CLB's del dispositivo, lo que en pequeños LCA's puede representar más del 10% de los CLB's disponibles.

Esto significa que un diseño que tiene lógica de entrada compleja, un número considerable de entradas y relativamente pocos registros puede implementarse perfectamente con un número reducido de PLD's, y en forma bastante ineficiente en un dispositivo LCA. Por otra parte, los PLD's y los FPGA's difieren enormemente en cuanto a velocidad, por lo que si se requiere alta velocidad de operación quizás sea imposible utilizar un FPGA para sustituir un diseño implementado por PLD's.

Bibliografía

- [1] David Pellerin/Michael Holley. *Practical design using Programmable Logic*. Prentice Hall, 1991.
- [2] Edwards J. Mc. Cluskey. *Logic design principles with emphasis on testable semi-custom circuits*. Prentice Hall, 1986.
- [3] Di Giacomo. *Designing with high performance ASIC's*. Prentice Hall, 1991.